

公 告 本	
申請日期	88.10.13
案 號	
類 別	H01C 27/08

(以上各欄由本局填註)

A4
C4US 6365485
Cite No. 4

488067

發明專利說明書

一、發明 名稱 新 型	中 文	深溝渠電容器的製造方法
	英 文	
二、發明 人 創作	姓 名	Hsiao; Chia-Shun 1 蘆家順 2 顏文彬 Yen Wen-P
	國 籍	中華民國
	住、居所	1 新竹市香山區柑林溝 213 巷 95 弄 50 號 2 新竹市湧雅街 311 巷 36 弄 59 之 4 號 5 樓
三、申請人	姓 名 (名稱)	1 茂德科技股份有限公司 ProMos Technology, 2 台灣茂矽電子股份有限公司 Mosel Vitelic Inc. 3 西門子股份公司 Siemens AG
	國 籍	1 ~ 2 中華民國 3 德國
	住、居所 (事務所)	1 新竹科學工業園區力行路 19 號 3 樓 2 新竹科學工業園區力行路 19 號 3 德國慕尼黑威田巴契廣場 2 號
代表人 姓 名	1 ~ 2 胡洪九 3 范思寇	

S2161wf.doc/006

A5

B5

四、中文發明摘要（發明之名稱：深溝渠電容器的製造方法）

一種深溝渠電容器的製造方法，在一基底中提供一深溝渠，並在深溝渠中形成一低於基底表面之絕緣材料，續在高於絕緣材料之深溝渠側壁表面上形成一硬材料間隙壁，再去除絕緣材料。接著，在深溝渠中形成一摻雜層，再進行一熱製程，而在深溝渠底部的基底形成一摻雜區，作為一儲存電極。之後，將摻雜層去除，續在儲存電極上形成一電容介電層，接著，在深溝渠中形成一第一導電層，填入深溝渠至一適當高度，而此適當高度需高於硬材料間隙壁，但低於基底之表面，且暴露出深溝渠部分的頂部表面。續在深溝渠中形成一第二導電層，其中第一導電層與第二導電層作為一上電極，而第二導電層與第一導電層電性連接，且藉暴露出的深溝渠頂部表面與基底電性連接。

英文發明摘要（發明之名稱：）

(請先閱讀全文之法律事項再行填寫本頁各欄)

裝———訂———線

52161-wC.doc/006

A7
B7

五、發明說明(/)

本發明是有關於一種電容器的製造方法，且特別是有關於一種深溝渠電容器的製造方法。

動態隨機存取記憶體(DRAM)電容器的結構主要分成兩種，其一為堆疊式電容(stack capacitor)，另一則為溝渠電容(trench capacitor)，而不論是堆疊式電容或是溝渠電容，在半導體元件尺寸縮減的要求下，其製造的技術上均遭遇到越來越多的困難。

對溝渠電容而言，在半導體尺寸為 $0.2\mu m$ 的製程中，溝渠的高寬比(aspect ratio)將高達35:1，而當設計規則往 $0.18\mu m$ 的製程邁進時，溝渠尺寸更需相對地縮小。於是，如何製造具有大面積的儲存電極以獲得較大的電容值，則成為製程上最需要克服的技術。

第1A-1K圖所示，為習知一種瓶狀深溝渠電容儲存電極的製造流程剖面圖。請參照第1A圖，在一基底100上形成有墊氧化物層102與硬罩幕層(hard mask)104，利用硬罩幕層104為罩幕而在基底100上形成一深溝渠106。

接著，請參照第1B圖，在深溝渠106中形成一絕緣材料108，使絕緣材料108的表面108a低於基底100的上表面100a，隨後再於深溝渠106中，未被絕緣材料108覆蓋的側壁上形成一硬材料間隙壁110，並再將絕緣材料108去除，使深溝渠106底部的基底100暴露出。續再對基底100進行一氧化製程，使深溝渠106底部暴露出的基底100氧化成二氧化矽，而在將二氧化矽去除後，則可形成如第1C圖所示之瓶狀深溝渠(bottle-shaped deep

(請先閱讀背面之注意事項再填寫本頁)

裝訂線

線

52161007.3 Oct/006

A7
B7

五、發明說明(二)

trench)106a。之後，再去除硬材料間隙壁 110。

接著，請參照第 1D 圖，在瓶狀深溝渠 106a 的側壁上形成一摻雜絕緣層 112，並在瓶狀深溝渠 106a 中形成光阻 114，其中光阻 114 不填滿瓶狀深溝渠 106a，且其表面係位於基底 100 上表面 100a 之下，同時暴露出高於光阻 114 的摻雜絕緣層 112。之後，將暴露出的摻雜絕緣層 112 去除，而形成如第 1E 圖所示，位於深溝渠 116 底部，與光阻 114 同高之摻雜絕緣層 112a。續對基底 100 與瓶狀深溝渠 106a 沉積一蓋氧化物層(cap oxide)，例如為蓋 TEOS 氧化物(cap TEOS)，之後再回蝕刻蓋氧化物層，而在瓶狀深溝渠 106a 側壁上形成一蓋氧化物間隙壁 116，使光阻 114 表面 114a 暴露出，如第 1E 圖所示。

之後，請參照第 1F 圖，在將光阻 116 剥除後，對基底 100 進行一熱製程，使摻雜絕緣層 112a 中的雜質擴散進入基底 100 而形成一摻雜區 118，作為瓶狀深溝渠電容之儲存電極。接著，去除瓶狀深溝渠 106a 底部的摻雜絕緣層 112a 以及頂部的蓋氧化物層 116，如第 1G 圖所示。

再於瓶狀深溝渠 106a 的側壁上形成一電容介電層 120，覆蓋儲存電極 118，如第 1G 圖所示。之後，在瓶狀深溝渠 106a 中形成第一導電層，再回蝕刻第一導電層使其與摻雜區 118 同高，如第 1H 圖所示之第一導電層 120a，並去除瓶狀深溝渠 106a 中，高於第一導電層 120a 的電容介電層 120。

接著，請參照第 1I 圖，在基底 100 與瓶狀深溝渠 106a

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

52161wf.doc/006

A7

B7

五、發明說明（三）

側壁沉積一領氧化物層(collar oxide)124，續在回蝕刻領氧化物層，去除第一導電層122上的領氧化物層124，而使第一導電層122暴露出，因此在沉積第二導電層126時，第一導電層122與第二導電層126電性連接，如第1J圖所示。之後再進行第二導電層126的回蝕刻步驟，使第二導電層126低於基底100上表面100a，續再去除瓶狀深溝渠106a側壁頂部，靠近基底100表面，暴露出的領氧化物層124，如第1J圖所示。

請參照第1K圖，之後再於瓶狀深溝渠106a中填入第三導電層128，第三導電層128與第二導電層126電性連接，且與基底100電性連接。其中，第一導電層122、第二導電層126與第三導電層128作為瓶狀深溝渠電容器之一上電極。

以上述的製程雖可完成瓶狀深溝渠電容器的製造，但由於製造過程中需經過光阻沉積、回蝕刻，以及第一、第二與第三導電層的沉積與回蝕製程等，使得整個製造瓶狀深溝渠電容器的流程過於冗長且複雜，導致製造成本增加，降低市場上的競爭力。

有鑑於此，本發明就是在提供一種瓶狀深溝渠電容器的製造方法，在形成瓶狀深溝渠以增加電容值的情況下，同時更可簡化製造流程，降低成本。

本發明提供一種深溝渠電容器的製造方法，適用在一基底上，以一硬罩幕層在基底上定義形成一深溝渠，其中基底與硬罩幕層間具有一墊絕緣層。之後，在深溝渠中形

(請先閱讀背面之注事項再填寫本頁)

裝

訂

線

5216twf.doc/006

A7

B7

五、發明說明（4）

成一絕緣材料，絕緣材料不填滿深溝渠，且暴露出高於絕緣材料的深溝渠側壁表面。續在高於絕緣材料之深溝渠側壁表面上形成一硬材料間隙壁，再去除絕緣材料，暴露出深溝渠底部的基底表面。接著，在深溝渠中形成一摻雜層，覆蓋深溝渠底部暴露出的基底表面，再進行一熱製程，而在深溝渠底部的基底形成一摻雜區，作為一儲存電極。之後，將摻雜層去除，續在儲存電極上形成一電容介電層，接著，在深溝渠中形成一第一導電層，填滿深溝渠至一適當高度，而此適當高度需高於硬材料間隙壁之下表面，但低於基底之上表面，且暴露出深溝渠部分的頂部表面。續在深溝渠中形成一第二導電層，其中第一導電層與第二導電層作為一上電極，而第二導電層與第一導電層電性連接，且藉暴露出的深溝渠頂部表面與基底電性連接。

本發明再提供一種瓶狀深溝渠電容器的製造方法，適用在一基底上，首先在基底上提供一深溝渠，其中深溝渠係利用一墊氧化物層與一硬罩幕層定義而成。接著，在深溝渠中形成一絕緣材料，絕緣材料係填滿深溝渠至一第一預定高度，使其表面低於基底之上表面。續在深溝渠側壁的頂部表面形成一硬材料間隙壁，且暴露出絕緣材料表面，再進行去除絕緣材料的步驟，使深溝渠底部表面完全暴露出。之後，氧化深溝渠底部表面而於表面上形成一氧化物層，再將氧化物層去除後則形成一瓶狀深溝渠，續在瓶狀深溝渠中形成一摻雜氧化矽層，並使摻雜氧化矽層中的摻雜擴散進入瓶狀深溝渠的底部，而形成一瓶狀深溝渠

（請先閱讀背面之注意事項再填寫本頁）

裝
訂

線

52161wF.doc/006

A7

B7

五、發明說明（5）

儲存電極。之後，將摻雜氧化物層去除，續在瓶狀深溝渠儲存電極上形成一電容介電層。接著，在瓶狀深溝渠中形成一第一導電層，其填滿瓶狀深溝渠至一第二預定高度，第二預定高度高於瓶狀深溝渠儲存電極，但低於基底的上表面。續再去除高於第一導電層的電容介電層與硬材料間隙壁，使電容介電層與硬材料間隙壁與第一導電層同高。隨後，在第一導電層上形成一第二導電層，填滿瓶狀深溝渠，而與第一導電層作為一上電極，其中第二導電層與第一導電層電性連接，且與基底電性連接。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

圖式之簡單說明：

第 1A-1K 圖係顯示一種瓶狀深溝渠電容器的製造流程剖面圖；以及

第 2A-2J 圖係顯示根據本發明較佳實施例之瓶狀溝渠電容器之製造流程剖面圖。

其中，各圖標號之簡單說明如下：

100、200：基底	102、204：摻雜氧化物層
104、202：硬罩幕層	106、206：深溝渠
106a：瓶狀深溝渠	108：絕緣材料
110、210、210a：硬材料間隙壁	
112、112a、214：摻雜絕緣層	
114：光阻	116：蓋氧化物間隙壁

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明(C)

118、216：摻雜區

120、120a、218、218a：電容介電層

122、220、220a：第一導電層 124：領氧化物層

126、222：第二導電層 128：第三導電層

206a、206b：頂部表面、底部表面

212：氧化物層

實施例

本發明之較佳實施例係在一深溝渠中填入適當高度的絕緣材料，暴露出溝渠頂部、高於絕緣材料的側壁表面，之後，在其上形成一硬材料間隙壁，覆蓋深溝渠頂部側壁，續將絕緣材料去除。再對深溝渠底部進行氧化步驟，而形成一氧化物層，續去除氧化物層，以形成一瓶狀深溝渠。接著，再將摻雜氧化物層形成在瓶狀深溝渠底部，覆蓋暴露出的底部表面，利用熱處理將摻雜氧化物層中的摻質擴散進入瓶狀深溝渠底部而形成一摻雜區，作為一儲存電極。接著，在去除摻雜氧化物層後，在儲存電極上形成一電容介電層。之後，再將第一導電層填入瓶狀深溝渠，其中第一導電層表面控制在高於儲存電極而低於基底之情況下。續再去除高於第一導電層的電容介電層與硬材料間隙壁，使瓶狀深溝渠側壁的頂部表面暴露出，之後，再於第一導電層上形成一第二導電層，則第二導電層與第一導電層電性連接，作為一上電極，且第二導電層與基底亦電性連接。

由於本發明之較佳實施例係利用硬材料間隙壁保護瓶

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

5216 (w.f.) doc/006

A7

B7

五、發明說明(7)

狀深溝渠側壁的頂部表面，因此在上電極的製作中可以節省導電層沉積與回蝕的步驟，而得以簡化製程。

第 2A-2J 圖所示，為根據本發明一較佳實施例瓶狀深溝渠之製造流程剖面圖。

請參照第 2A 圖，在一基底 200 上利用微影蝕刻製程定義硬罩幕層 202 與墊絕緣層 204 而形成一深溝渠 206。例如在基底 200 上利用熱氧化法形成厚度約為 50 埃左右的墊氧化物層，接著，在墊氧化物層 204 上以化學氣相沉積法形成厚度約為 2000 埃左右的氮化矽層或氮化矽/氧化物之組合作為硬罩幕(hard mask)，隨後，再於硬罩幕層 202 上形成光阻(未繪出)，定義硬罩幕層 202 與墊絕緣層 204，而形成深溝渠 206。

接著，在深溝渠中 206 形成一絕緣層，填滿深溝渠 206 並延伸至硬罩幕層 202 上而覆蓋硬罩幕層 202，續回蝕刻絕緣層，將硬罩幕層 202 上以及深溝渠 206 頂部的絕緣層去除，形成如第 2B 圖所示，在深溝渠 206 中餘留一適當深度 d 之絕緣材料 208。其中，絕緣材料 208 之表面 208a 需低於基底 200 之一上表面 200a，且暴露出深溝渠 206 側壁，絕緣材料 208 上方的頂部表面 206a。而絕緣材料 208 餘留的適當深度 d 為後續儲存電極形成的預定高度，且不得超過後續儲存電極形成的預定高度。絕緣材料 208 的回蝕刻可以濕蝕刻法或乾蝕刻法進行，在蝕刻時需調整蝕刻劑對硬罩幕層 202 與絕緣材料 208 的蝕刻選擇比(etch selectivity)，使絕緣材料 208 可以順利蝕刻，而硬罩幕

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

S21&IWF.doc/006

A7

B7

五、發明說明(8)

層 202 可以保護基底 200 不受回蝕刻製程的損害。絕緣層例如以化學氣相沉積法形成的氯化物，沉積的厚度約為 2000 埃左右，而絕緣材料 208 的高度約低於基底 200 上表面 200a 13000 埃左右的位置。

請參照第 2C 圖，接著，在深溝渠 206 側壁的頂部表面 206a 上形成一硬材料間隙壁 210，暴露出絕緣材料 208 表面 208a。硬材料間隙壁 210 的形成係在基底 200 上形成一共形(conformal)硬材料層，其係沿基底 200 表面的輪廓起伏而形成，覆蓋硬單幕層 202，且沿深溝渠 206 側壁 206a 並覆蓋絕緣材料 208 而形成，接著，再對共形硬材料層進行回蝕刻，例如以非等向性(anisotropic)蝕刻進行，則將在硬單幕層 202 與絕緣材料 208 水平面上的硬材料層去除，而留下深溝渠 206 側壁的硬材料間隙壁 210，其中硬材料間隙壁 210 的回蝕刻例如以絕緣材料 208 為蝕刻終點而進行，故共形硬材料層需選擇與絕緣材料 208 具有較大時刻選擇比的材料。共形硬材料層例如以化學氣相沉積法沉積厚度約為 200 埃左右的氮化矽層。

之後，請參照第 2D 圖，將絕緣材料 208 去除，使深溝渠 206 側壁的底部表面 206b 暴露出，亦即暴露出基底 200 的矽基材，去除絕緣材料 208 例如以濕蝕刻法進行，以將深溝渠 206 底部的絕緣材料 208 完全去除。接著，對基底 200 進行一熱處理，例如利用爐管或快速熱製程(RTP)在氧氣存在的環境下進行，氧氣在高溫下與深溝渠 206 中暴露出的矽基材反應，將暴露出的基底 200 表面 206b 氧化成

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(9)

一氧化物層 212，如第 2D 圖所示，而在氧化的步驟中，深溝渠 206 頂部的側壁 206a 由於有硬材料間隙壁 210 的覆蓋，故頂部側壁 206a 並不會進行氧化反應。其中，氧化物層 212 形成的厚度視實際需要而決定，由於氧化反應會消耗掉暴露出的矽材，使得矽材 200-氧化物 212 的界面將會往基底 200 的方向移動，大致上而言，生成 1000 埃左右的氧化物層 212，矽材 200-氧化物 212 的界面會往基底 200 的方向移動 500 埃左右。

由於，上述的氧化反應消耗掉溝渠 206 底部表面 206b 的矽材，故當去除氧化步驟形成的氧化物層 212，例如以濕蝕刻進行，則可形成如第 2E 圖所示之瓶狀深溝渠 207。在將氧化物層 212 去除後，暴露出瓶狀深溝渠 207 底部的基底 200 表面 206b'，而由於瓶狀深溝渠 207 頂部側壁 206a 以及基底 200 上表面 200a 分別具有硬材料間隙壁 210 以及硬罩幕層 202 覆蓋，故去除氧化物層 212 時並不會損害到基底 200 的其他部分。

請參照第 2F 圖，接著，在基底 200 上形成一摻雜層 214，例如以臨場(*in-situ*)摻雜離子的方式，以化學氣相沉積法形成一摻雜氧化矽層，覆蓋瓶狀深溝渠 207 的底部表面 206b'，硬材料間隙壁 210，並延伸至硬罩幕層 202 上，其中摻雜層 214 中的摻質例如為砷離子。之後，對基底 200 進行一熱製程，使摻雜層 214 中的摻質擴散進入瓶狀深溝渠 207 底部暴露出的基底 200 表面 206b'，而在深溝渠 207 底部形成一摻雜區 216，如第 2G 圖所示，其中摻

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (10)

雜區 216 係作為深溝渠電容器之一儲存電極。此外，由於瓶狀深溝渠 207 頂部形成有硬材料間隙壁 210，故可阻擋住摻雜層 214 中摻質的擴散，使摻雜區 216 不致擴散過大，而可限制在包圍住瓶狀深溝渠 207 的範圍內。

利用上述步驟形成瓶狀深溝渠 207，使儲存電極 216 儲存電荷的面積可增加約為 50%-100%的比例，因此在儲存變荷面積大幅增加之下，儲存電荷亦成正比而增加，故可提高電容值。

接著，在完成儲存電極 216 後，進行去除摻雜層 214 的步驟，摻雜層 214 例如以 BHF(buffer HF)或 DHF(diluted HF)的濕蝕刻法去除，上述蝕刻法所使用的蝕刻劑係在將摻雜層 214 去除，但卻不去除硬材料間隙壁 210，如第 2G 圖所示。續在儲存電極 216 上形成一電容介電層 218，例如為氮化物/氧化物層(No)，如第 2H 圖所示。接著，在瓶狀深溝渠 207 中，電容介電層 218 上形成一第一導電材料 220，第一導電材料 220 填滿瓶狀深溝渠 207，且延伸至硬罩幕層 202 上，第一導電材料 220 例如為以化學氣相沉積法，進行臨場摻入而形成的複晶矽層。

請參照第 2I 圖，之後，回蝕刻第一導電材料 220，使存在於瓶狀深溝渠 207 中的第一導電層 220a 係高於儲存電極 216 以及硬材料間隙壁 210 的下表面，但低於基底 200 的上表面 200a。回蝕刻第一導電材料 220 的步驟例如先以化學機械研磨法將硬罩幕層 202 表面的第一導電材料 220 去除，之後，在利用乾蝕刻或濕蝕刻法去除瓶狀深溝渠中

五、發明說明(II)

的第一導電層，而蝕刻第一導電材料 220 時需調整蝕刻選擇比，使蝕刻進行時不致破壞硬罩幕層 202 故可將第一導電材料 220 蝕刻至如第一材料層 220a 之一適當高度 d' ，而暴露出高於第一導電層 220a 的電容介電層 218，其中第一導電層 220a 的適當高度 d' 約低於基底 200 上表面 200a 下 1200 埃左右的位置。

接著，將暴露出的電容介電層 218 與未被第一導電層 220a 覆蓋的硬材料間隙壁 210，亦即，將高於第一導電層 220a 的電容介電層 218 與硬材料間隙壁 210 去除，而形成如第 2J 圖所示之電容介電層 218a 與硬材料間隙壁 210a，其具有與第一導電層 220a 同高的表面。之後，仍請參照第 2J 圖，在第一導電層 220a 上形成一第二導電層 222，例如為複晶矽層，填滿瓶狀深溝渠 207，而其表面至少需高於基底 200 的上表面 200a，其例如在第一導電層 220a 上形成一第二導電材料，而再以化學機械研磨法磨平即可完成。其中，第二導電層 222 藉頂部表面 206a 與基底 200 電性連接，同時與第一導電層 220a 電性連接，而與第二導電層 222 相接的第一導電層 220a 有部份以硬材料間隙壁 210a 與基底 200 隔開，故第二導電層 222 不致與第一導電層 220a 經由基底 200 導通而短路。

本發明之較佳實施例由於在製程中保留硬材料間隙壁，以保護瓶狀深溝渠側壁部分的頂部表面，於是，不僅簡化了製作儲存電極的製程，同時亦簡化了形成上電極的步驟，故，製作深溝渠電容器的流程以減少了許多，而可

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

52161wf.doc/006

A7

B7

五、發明說明 (12)

達到降低成本的目的。

另外，利用形成瓶狀深溝渠，增加儲存電極的面積，藉以提昇深溝渠電容器的電容值。

雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

52161wf.doc/005

A8
B8
C8
D8

六、申請專利範圍

1. 一種深溝渠電容器的製造方法，適用在一基底上，以一硬罩幕層在該基底上定義一深溝渠，其中該基底與該硬罩幕之間具有一墊絕緣層；該製造方法包括：

在該深溝渠中形成一絕緣材料，該絕緣材料不填滿該深溝渠，暴露高於該絕緣材料之該深溝渠側壁表面；

在高於該絕緣材料之該深溝渠側壁表面上形成一硬材料間隙壁；

去除該絕緣材料，暴露出該深溝渠底部之該基底表面；

在該深溝渠中形成一摻雜層，覆蓋該深溝渠底部暴露出之該基底表面；

進行一熱製程，在該深溝渠底部之該基底形成一摻雜區，作為該深溝渠電容器之一深溝渠儲存電極；

去除該摻雜層；

在該深溝渠儲存電極上形成一電容介電層；

在該深溝渠中形成一第一導電層，填滿該深溝渠至一適當高度，該適當高度係高於該硬材料間隙壁之下表面，低於該基底之一上表面，同時暴露出該深溝渠部分之一頂部表面；以及

在該深溝渠中形成一第二導電層，則該第一導電層與該第二導電層係作為該深溝渠電容之一上電極，其中該第二導電層與該基底電性連接，且與該第一導電層電性連接。

2. 如申請專利範圍第 1 項所述之深溝渠電容器的製造

(請先閱讀背面之注意事項再填写本頁)

裝

訂

線

六、申請專利範圍

方法，其中在該深溝渠中形成一絕緣材料的步驟更包括在該深溝渠中形成一絕緣層，填滿該深溝渠且延伸至該硬罩幕層表面；以及

回蝕刻該絕緣層至一第一適當深度，使該深溝渠中填入該絕緣層，但並不填滿該深溝渠。

3. 如申請專利範圍第 2 項所述之深溝渠電容器的製造方法，其中該絕緣層包括氧化物層。

4. 如申請專利範圍第 1 項所述之深溝渠電容器的製造方法，其中在高於該絕緣材料之該深溝渠側壁表面上形成一硬材料間隙壁的步驟更包括

對該基底與該深溝渠上形成一共形硬材料層；以及回蝕刻該共形硬材料層，在該深溝渠之該頂部側壁上形成一硬材料間隙壁，暴露出該深溝渠中之該絕緣材料表面。

5. 如申請專利範圍第 4 項所述之深溝渠電容器的製造方法，其中該共形硬材料層包括一氮化矽層。

6. 如申請專利範圍第 1 項所述之深溝渠電容器的製造方法，其中去除該絕緣材料包括以濕蝕刻法進行。

7. 如申請專利範圍第 1 項所述之深溝渠電容器的製造方法，其中該摻雜層包括以化學氣相沉積法形成一摻雜氧化矽層。

8. 如申請專利範圍第 1 項所述之深溝渠電容器的製造方法，其中在該深溝渠中形成一第一導電層，填滿該深溝渠至一適當高度的步驟更包括：

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

52161wf.doc/006

A8
B8
C8
D8

六、申請專利範圍

在該深溝渠中形成一第一導電材料，填滿該溝渠，且延伸至該硬罩幕層上；

回蝕刻該第一導電材料，而在該深溝渠中形成該第一導電層填滿該溝渠至一第二適當深度，高於該第一導電層的該電容介電層暴露出；

去除高於該第一導電層的該電容介電層與硬材料間隙壁，使該電容介電層與該硬材料間隙壁與該第一導電層同高，而暴露出該深溝渠之部分該頂部表面。

9. 如申請專利範圍第 8 項所述之深溝渠電容器的製造方法，其中該第一導電材料包括複晶矽層。

10. 如申請專利範圍第 1 項所述之深溝渠電容器的製造方法，其中在該深溝渠中形成一第二導電層的步驟更包括

在該深溝渠中形成一第二導電材料，填滿該深溝渠，且延伸至該硬罩幕層上；以及

回蝕刻該第二導電層，使該第二導電層至少具有該基底上表面同高之一表面。

11. 如申請專利範圍第 10 項所述之深溝渠電容器的製造方法，其中該第二導電材料包括複晶矽層

12. 一種瓶狀深溝渠電容器的製造方法，適用在一基底上；該製造方法至少包括：

在該基底中提供一深溝渠，且在該基底之一上表面依序具有一墊氧化物層與一硬罩幕層，暴露出該深溝渠之一表面；

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

在該深溝渠中形成一絕緣材料，該絕緣材料填滿該深溝渠至一第一預定高度，使該絕緣材料之一表面低於該基底之該上表面；

在該深溝渠側壁之一頂部表面形成一硬材料間隙壁，暴露出該絕緣材料表面；

去除該絕緣材料，使該深溝渠之一底部表面完全暴露出；

在該深溝渠底部形成一瓶狀深溝渠；

在該瓶狀深溝渠中形成一摻雜氧化物層，覆蓋該瓶狀深溝渠底部暴露出之表面；

將該摻雜氧化物層中之一摻質擴散進入該瓶狀深溝渠之底部，而形成一瓶狀深溝渠儲存電極；

去除該摻雜氧化物層；

在該瓶裝深溝渠儲存電極上形成一電容介電層；

在該瓶狀深溝渠中形成一第一導電層，該第一導電層填滿該瓶狀深溝渠至一第二預定高度，其中該第二預定高度係高於該瓶狀深溝渠儲存電極，低於該基底之一上表面；

去除高於該第一導電層的該電容介電層與該硬材料間隙壁，使該電容介電層以及該硬材料間隙壁具有該第二預定高度；以及

在該第一導電層上形成一第二導電層，填滿該瓶狀深溝渠，其中該第一導電層與該第二導電層作為一上電極，而該第二導電層係與該第一導電層以及該基底電性連

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

接。

13. 如申請專利範圍第 12 項所述之瓶狀深溝渠電容器的製造方法，其中該第一預定高度係為形成該瓶狀深溝渠儲存電極之一高度。

14. 如申請專利範圍第 12 項所述之瓶狀深溝渠電容器的製造方法，其中在該深溝渠中形成一絕緣材料的步驟更包括

在該深溝渠中沉積一絕緣層，將該深溝渠填滿且覆蓋該硬罩幕層；以及

去除該硬罩幕層表面與該深溝渠中之部分該絕緣層，而暴露出該深溝渠側壁的該頂部表面。

15. 如申請專利範圍第 14 項所述之瓶狀深溝渠電容器的製造方法，其中該絕緣層包括以化學氣相沉積法形成一氧化物層。

16. 如申請專利範圍第 12 項所述之瓶狀深溝渠電容器的製造方法，其中在該深溝渠側壁之該頂部表面形成一硬材料間隙壁的步驟更包括

對該基底與該深溝渠上形成一硬材料層，該硬材料層共形於該基底，其中該硬材料層覆蓋該絕緣材料；以及

去除該絕緣材料上之該硬材料層，暴露出該絕緣材料表面。

17. 如申請專利範圍第 16 項所述之瓶狀深溝渠電容器的製造方法，其中該硬材料層包括氮化矽。

18. 如申請專利範圍第 12 項所述之瓶狀深溝渠電容器

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

的製造方法，其中去除該絕緣材料包括以濕蝕刻法進行。

19.如申請專利範圍第 12 項所述之瓶狀深溝渠電容器的製造方法，其中形成該瓶狀深溝渠的步驟更包括

氧化該深溝渠之該底部表面，在該底部表面形成一氧化物層；以及

去除該氧化物層，形成一瓶狀深溝渠。

20.如申請專利範圍第 19 項所述之瓶狀深溝渠電容器的製造方法，其中氧化該深溝渠之該底部表面係利用一熱處理進行，而使該深溝渠底部之該基底氧化形成該氧化物層。

21.如申請專利範圍第 12 項所述之瓶狀深溝渠電容器的製造方法，其中去除該氧化物層包括以濕蝕刻進行。

22.如申請專利範圍第 12 項所述之瓶狀深溝渠電容器的製造方法，將該摻雜氧化矽層中之一摻質擴散進入該瓶狀深溝渠之底部係利用一熱製程進行，其中該瓶狀深溝渠側壁頂部表面具有該硬材料間隙壁，故該摻質不會擴散進入該側壁之該頂部表面。

23.如申請專利範圍第 12 項所述之瓶狀深溝渠電容器的製造方法，其中去除該摻雜氧化物層包括以濕蝕刻法進行。

24.如申請專利範圍第 12 項所述之瓶狀深溝渠電容器的製造方法，其中該電容介電層包括氮化物/氧化物層。

25.如申請專利範圍第 12 項所述之瓶狀深溝渠電容器的製造方法，其中該第一導電層包括一複晶矽層。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

六、申請專利範圍

26. 如申請專利範圍第 12 項所述之瓶狀深溝渠電容器的製造方法，其中該第二導電層包括一複晶矽層。

27. 一種深溝渠電容器的製造方法，適用在形成有一深溝渠之一基底上；該製造方法至少包括：

在該深溝渠中形成一絕緣材料，其中該絕緣材料之一表面低於該基底之上表面；

在該深溝渠側壁之一頂部表面上形成一硬材料間隙壁，暴露出該絕緣材料；

去除該絕緣材料，但不去除該硬材料間隙壁，而使該深溝渠底部之該基底暴露出；

在該深溝渠中形成一摻雜氧化物層；

在該深溝渠底部之該基底形成一摻雜區，作為該深溝渠儲存電極，其中該摻雜區圍繞該深溝渠底部；

去除該摻雜氧化物層；

在該深溝渠儲存電極上形成一電容介電層；

在該深溝渠溝渠中填入具有一預定高度一第一導電層；

去除未被該第一導電層覆蓋的該電容介電層與該硬材料間隙壁；以及

在該第一導電層上形成一第二導電層，填滿該深溝渠，其中該第一導電層與該第二導電層作為一上電極。

28. 如申請專利範圍第 27 項所述之深溝渠電容器的製造方法，其中在該深溝渠中形成一絕緣材料係在該深溝渠中形成一絕緣層，之後回蝕刻該絕緣層，而使該絕緣材料

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

六、申請專利範圍

之一表面低於該基底之一上表面。

29. 如申請專利範圍第 27 項所述之深溝渠電容器的製造方法，其中該硬材料間隙壁的形成係在該基底上形成一
共形硬材料層，再回蝕刻共形硬材料層，去除該絕緣材料層上之該共形硬材料層，而暴露出該絕緣材料。

30. 如申請專利範圍第 27 項所述之深溝渠電容器的製造方法，其中去除該絕緣材料包括以濕蝕刻法進行。

31. 如申請專利範圍第 27 項所述之深溝渠電容器的製造方法，其中該摻雜區係利用對該基底進行一熱製程，使該摻雜氧化物層中之摻質擴散進入該深溝渠底部而形成。

32. 如申請專利範圍第 27 項所述之深溝渠電容器的製造方法，其中該電容介電層包括一氮化物/氧化物。

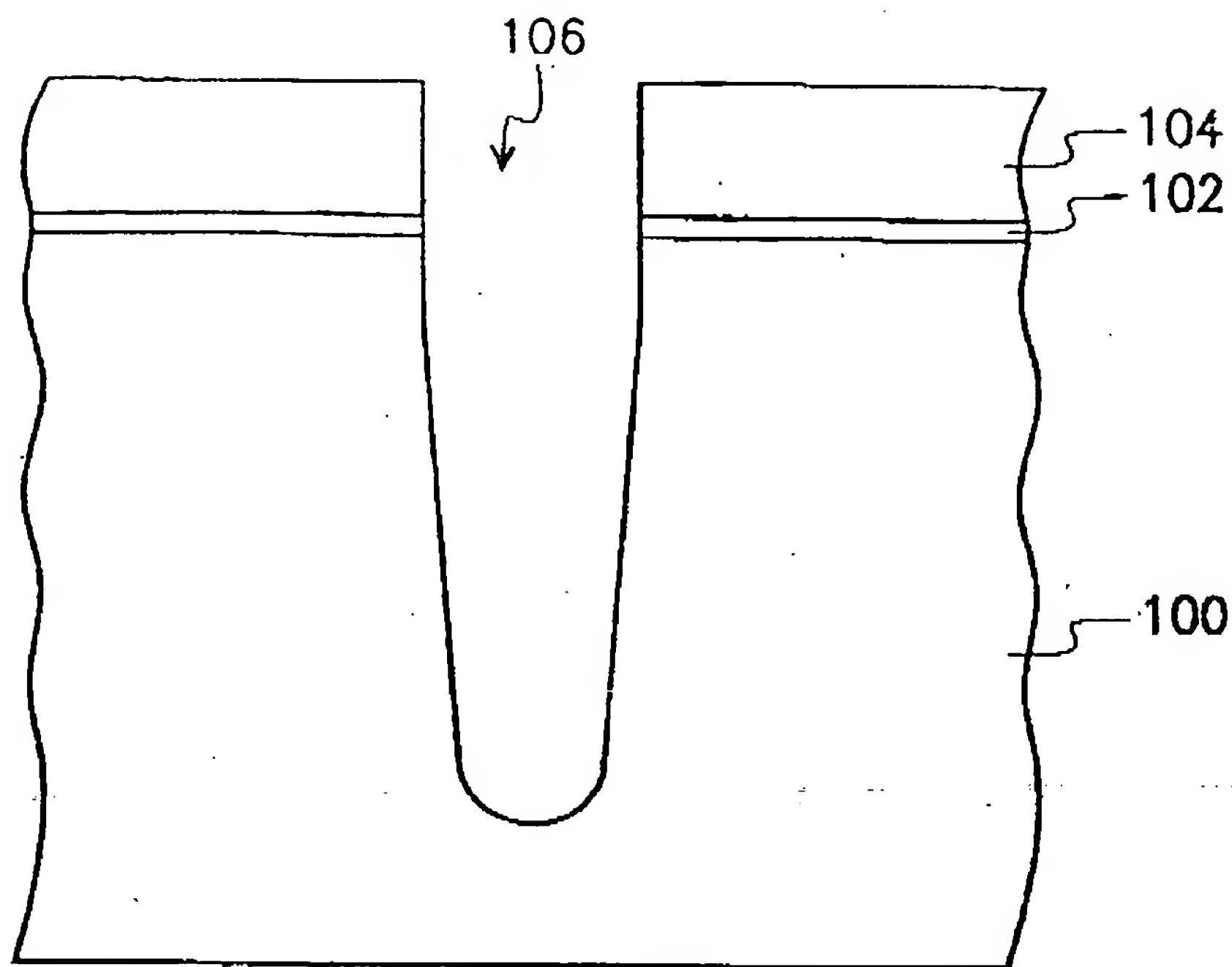
(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

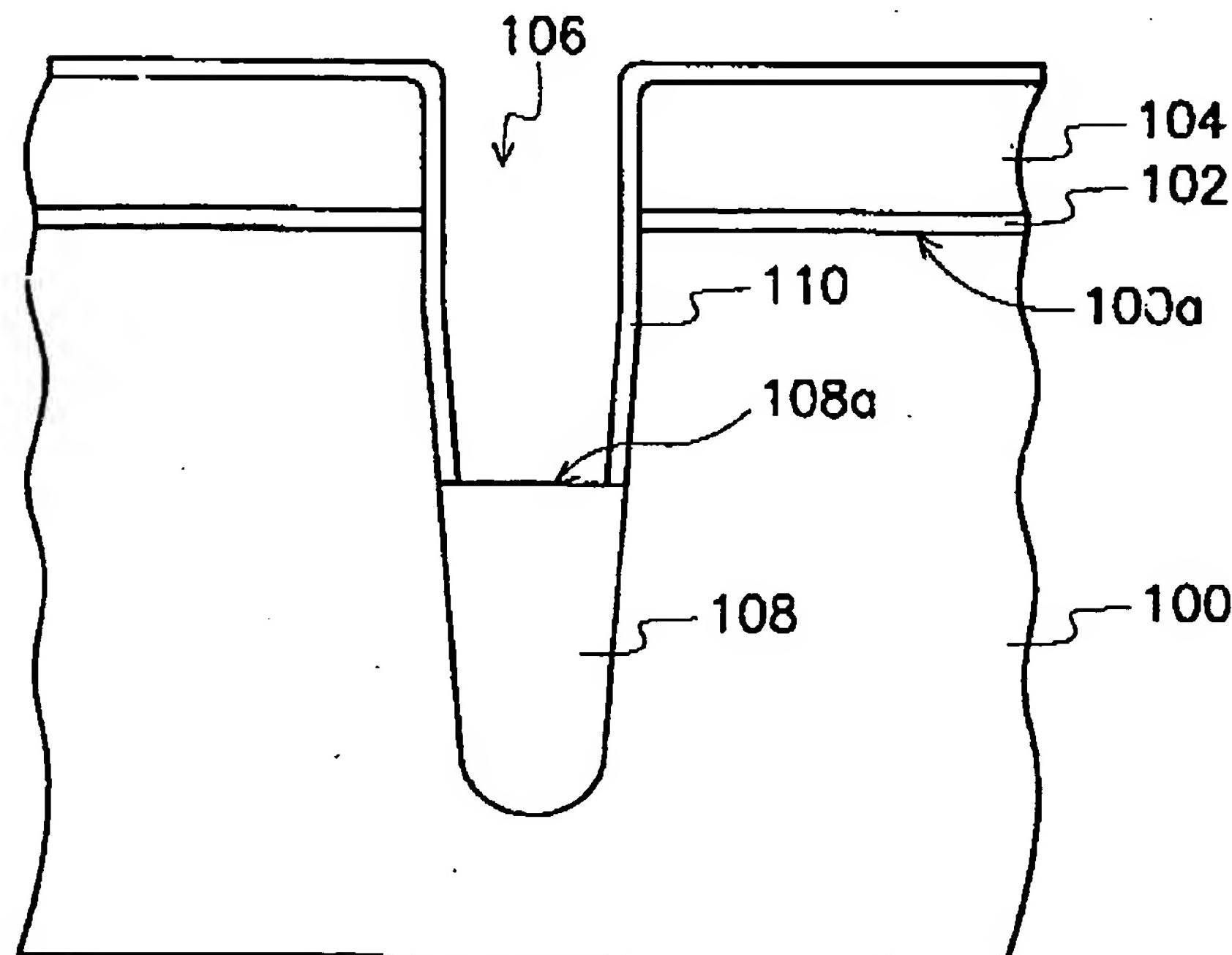
700007

85 3

5216TW

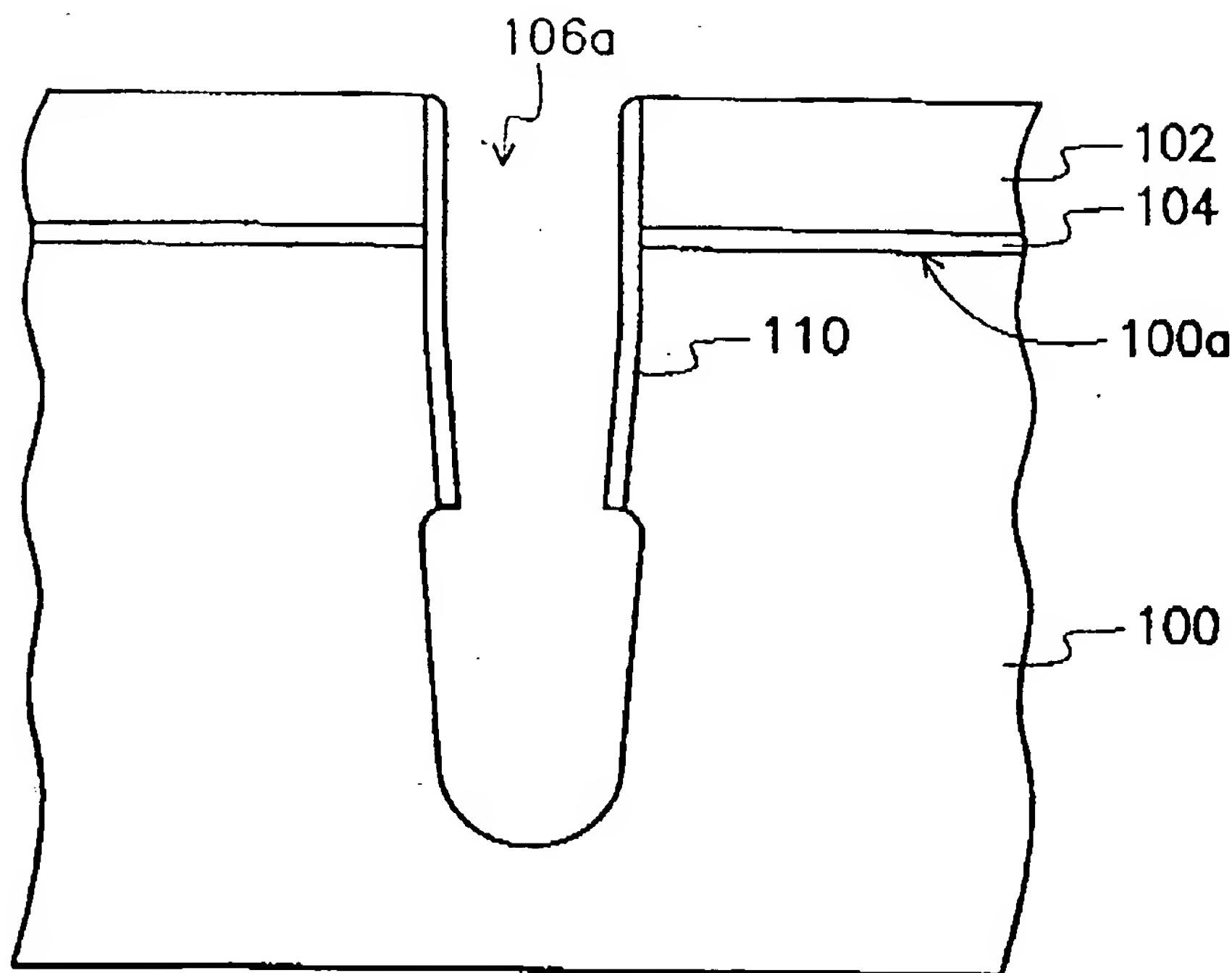


第 1A 圖

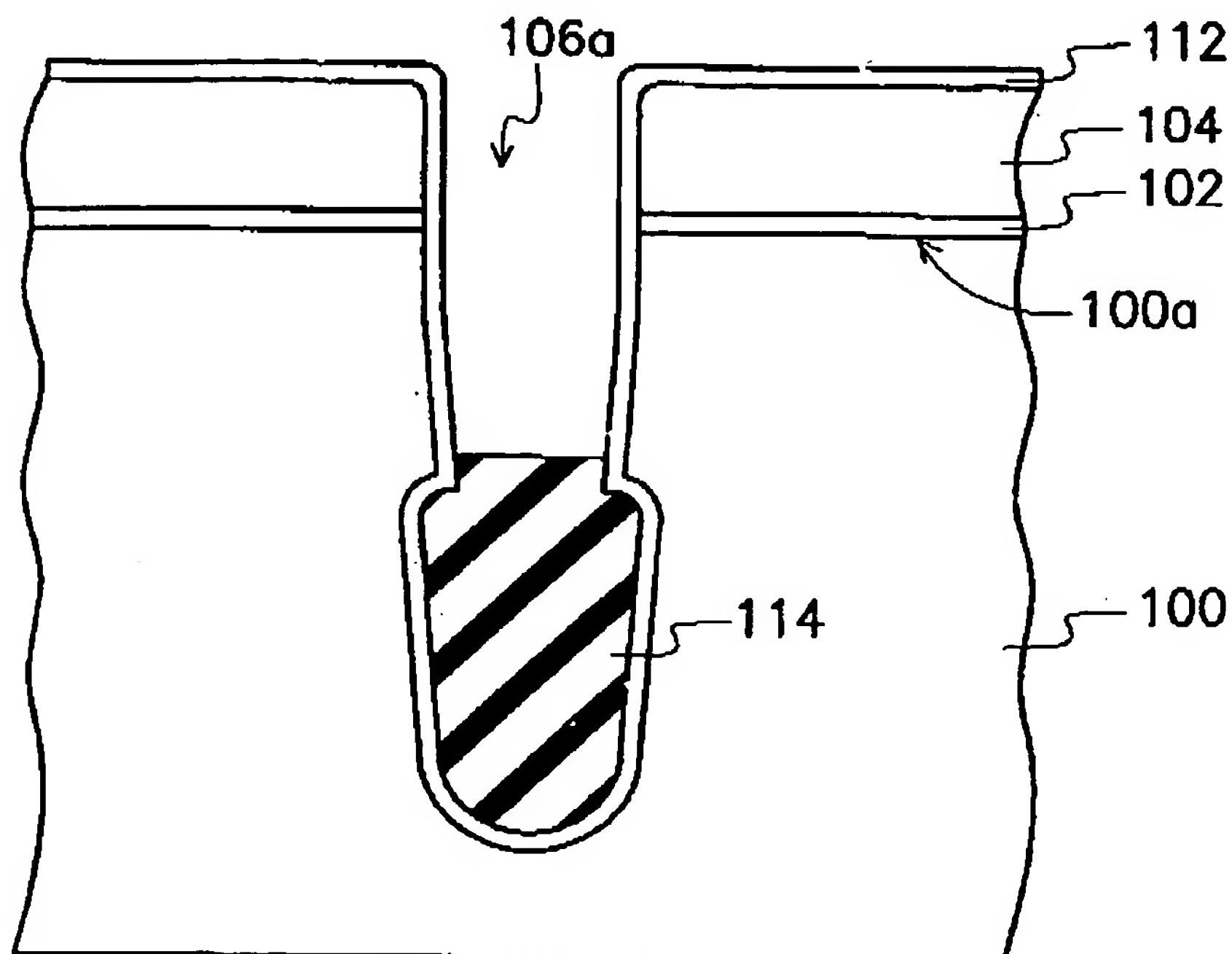


第 1B 圖

S216TW

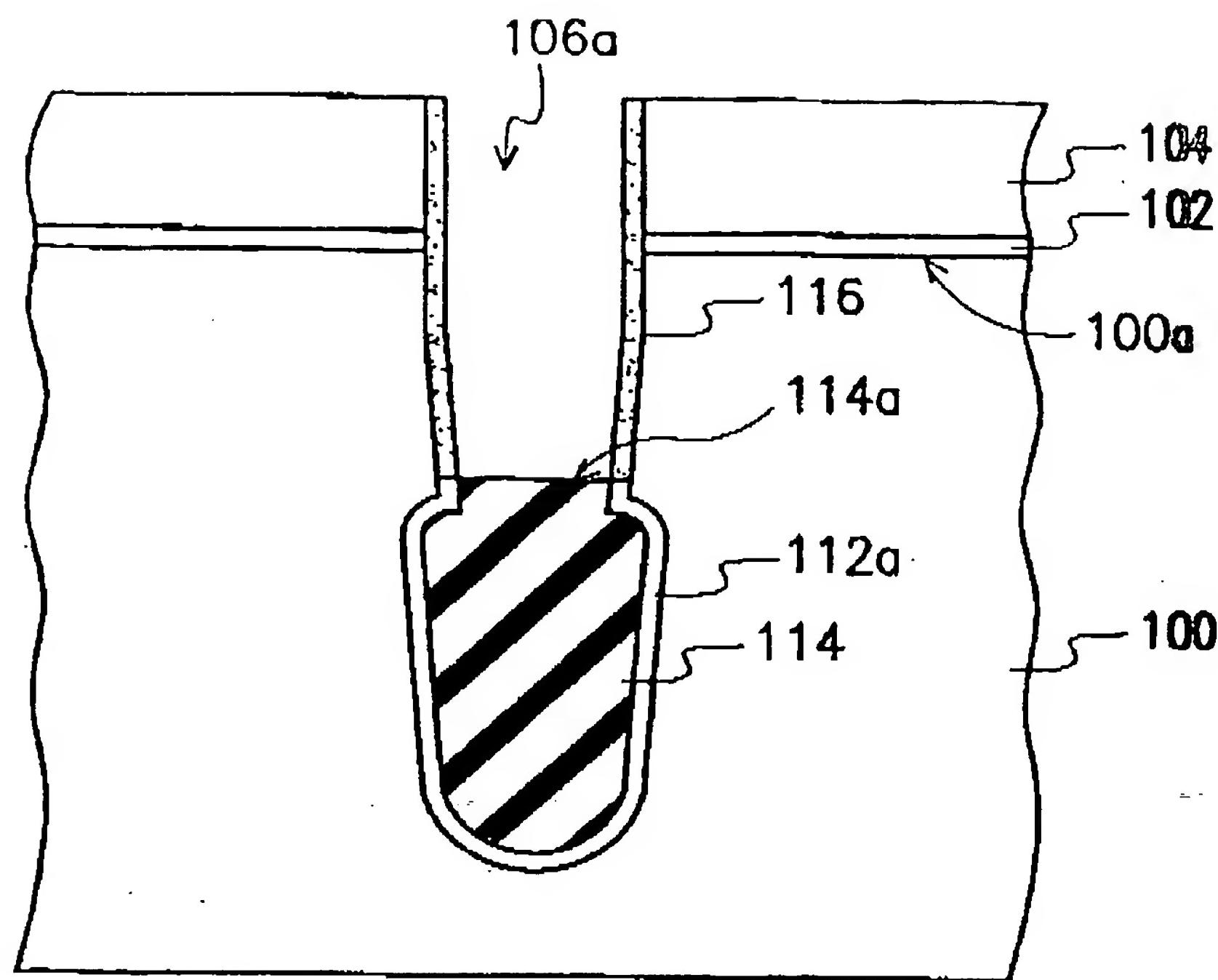


第 1C 圖

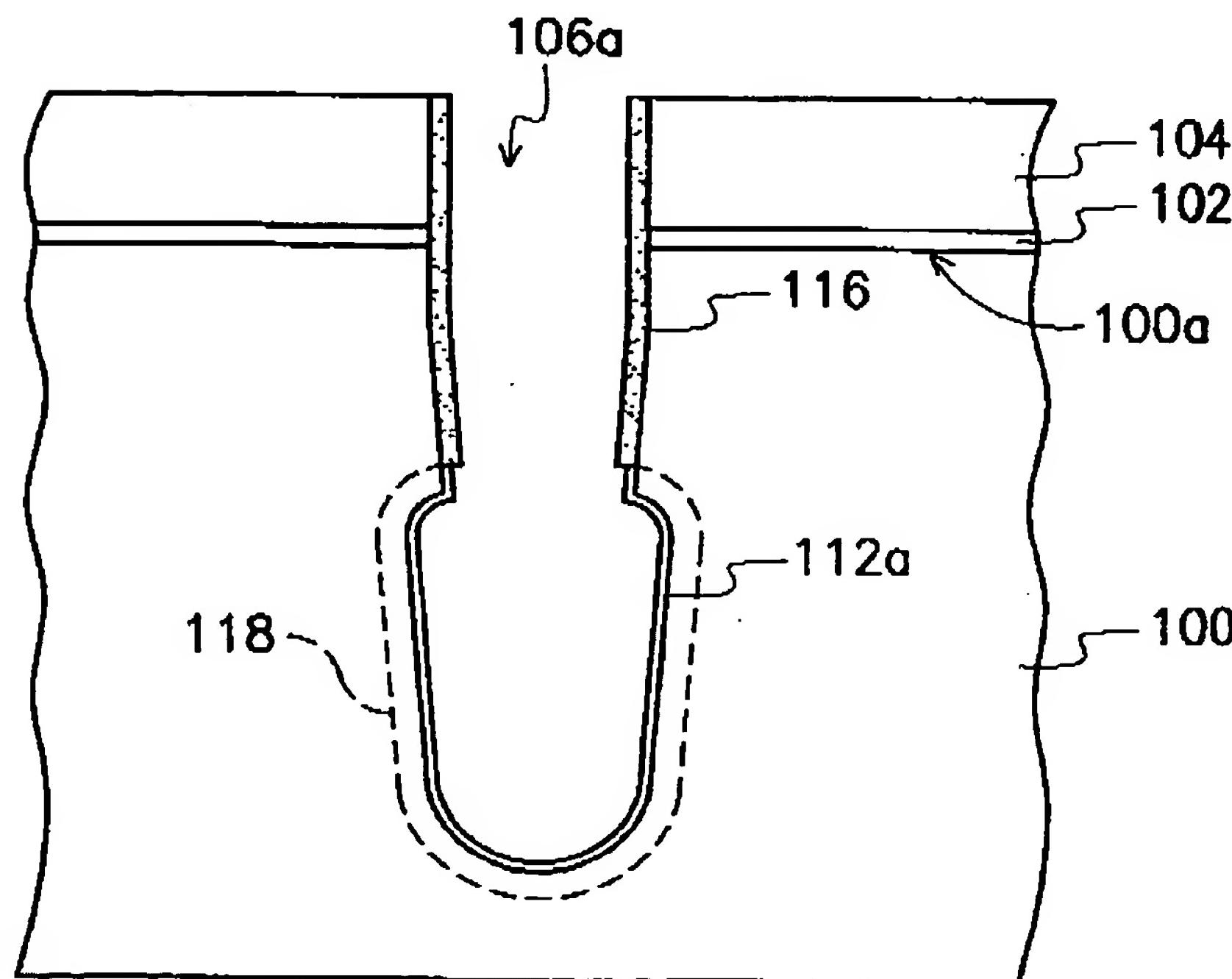


第 1D 圖

5216TW

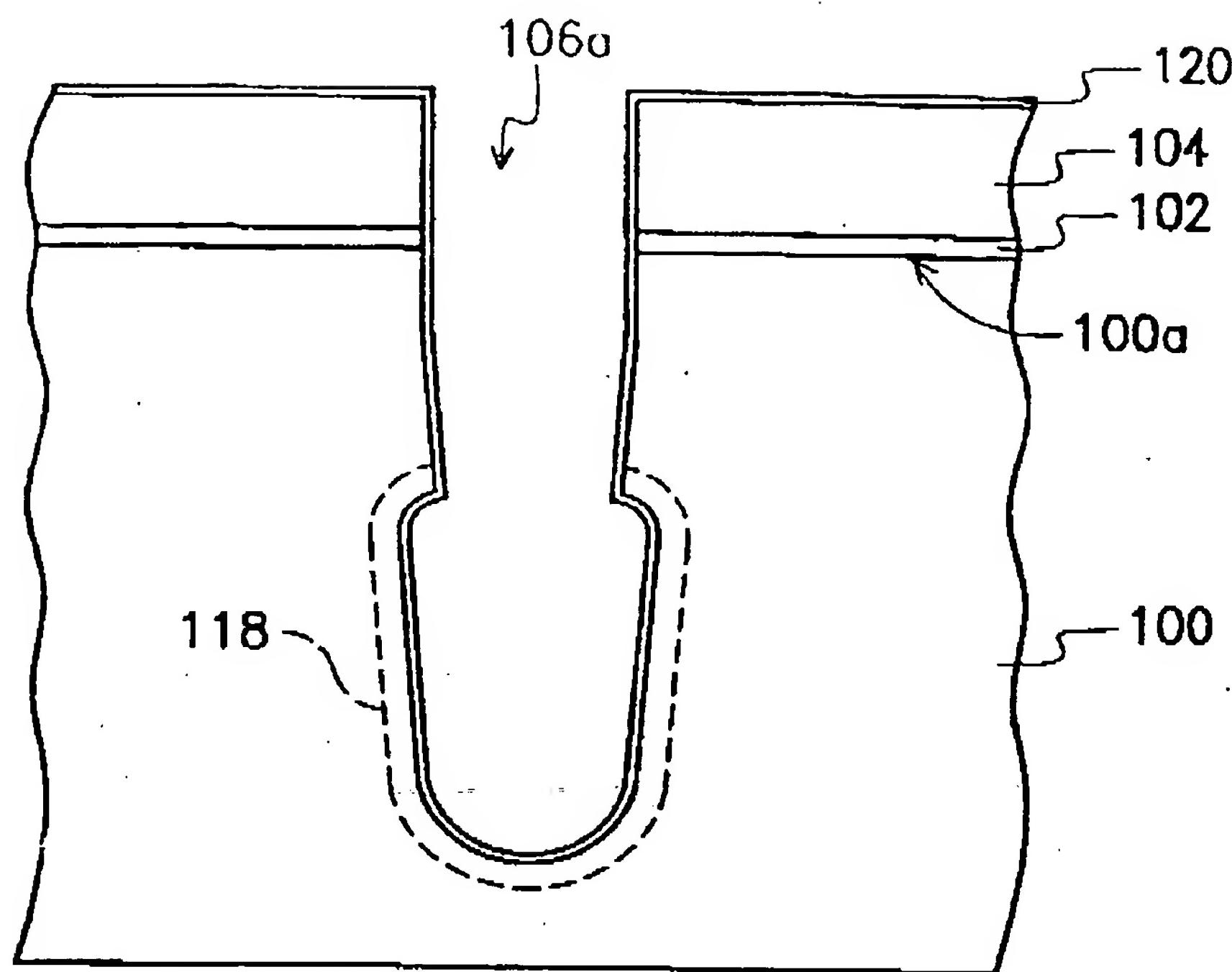


第 1E 圖

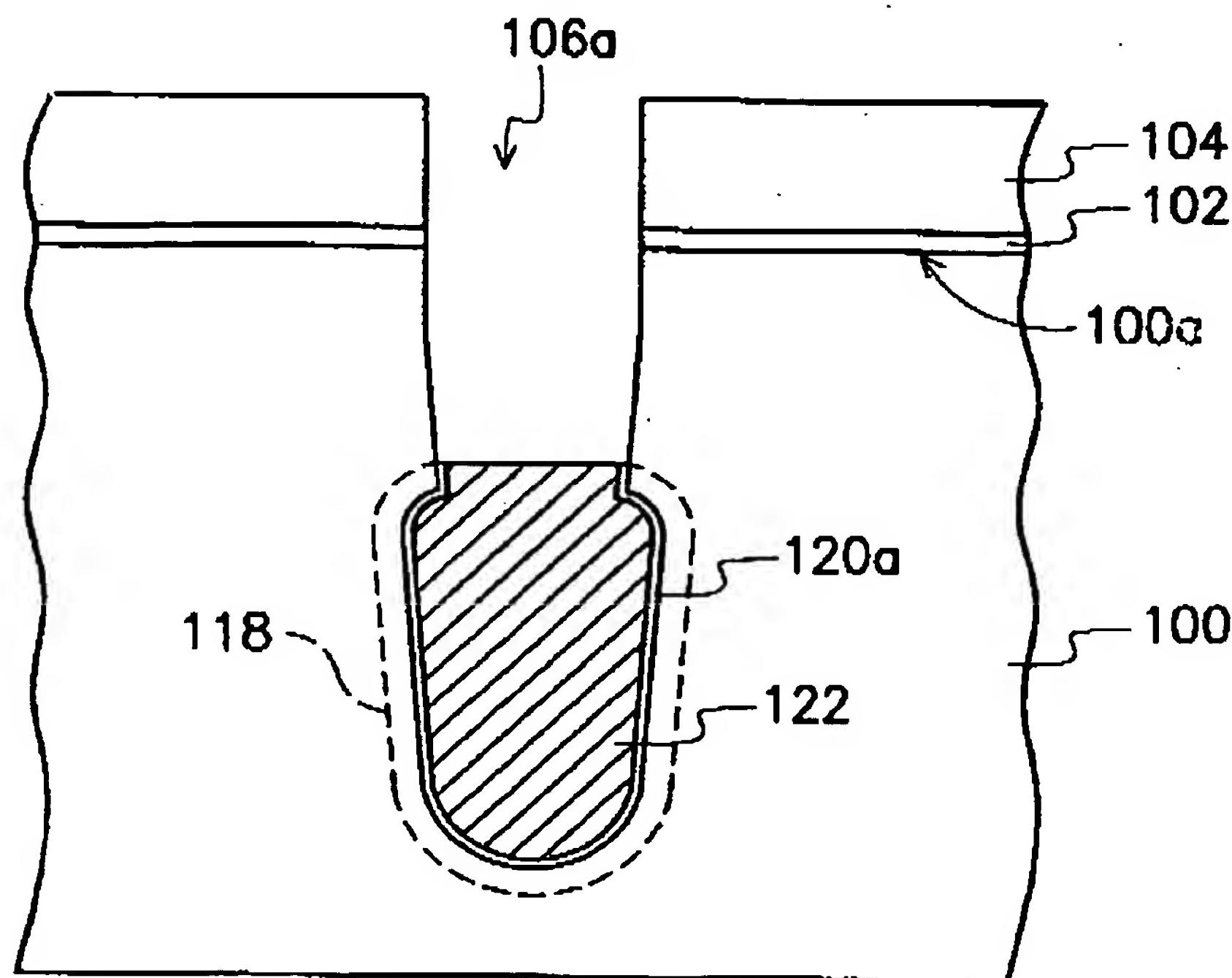


第 1F 圖

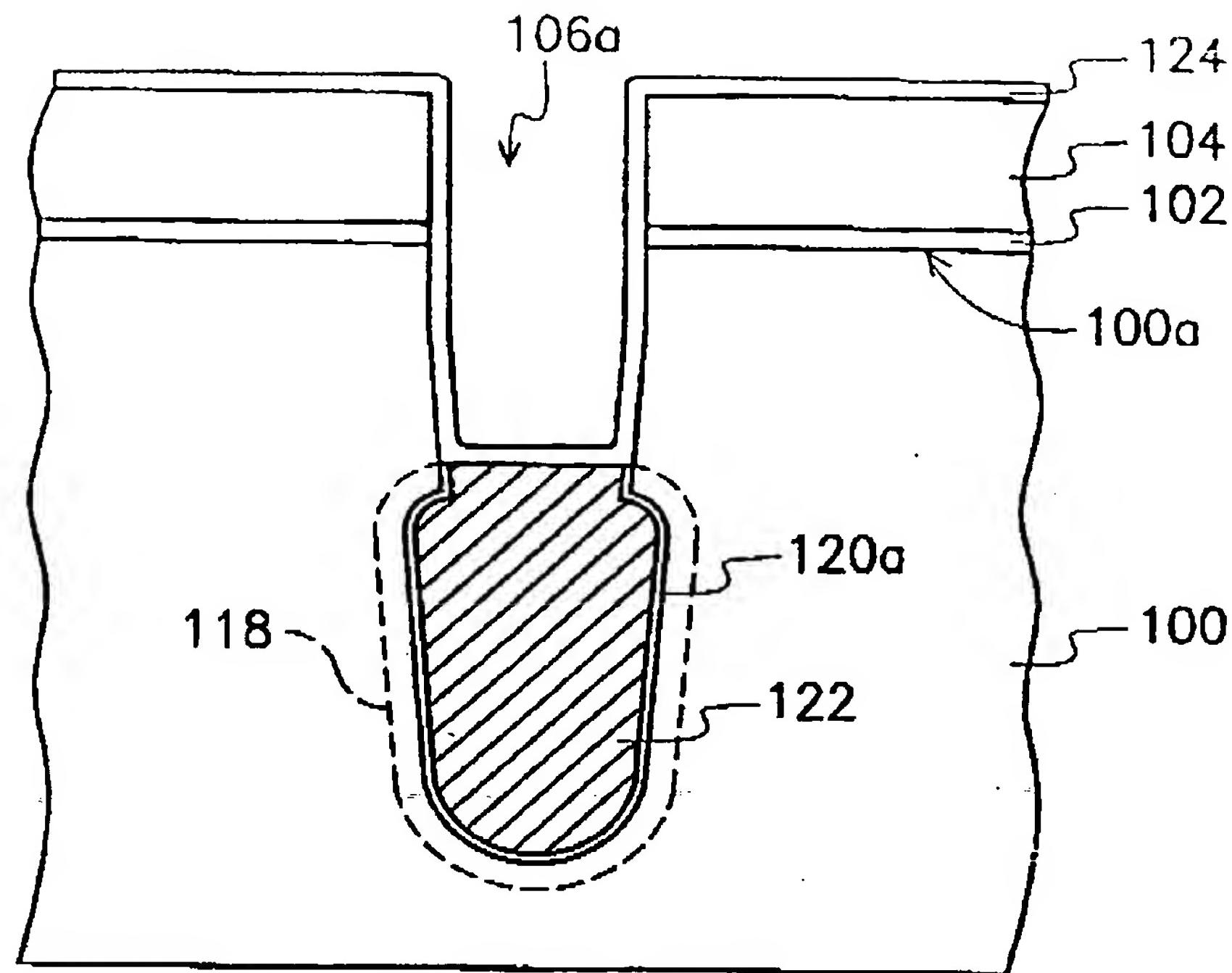
5216TW



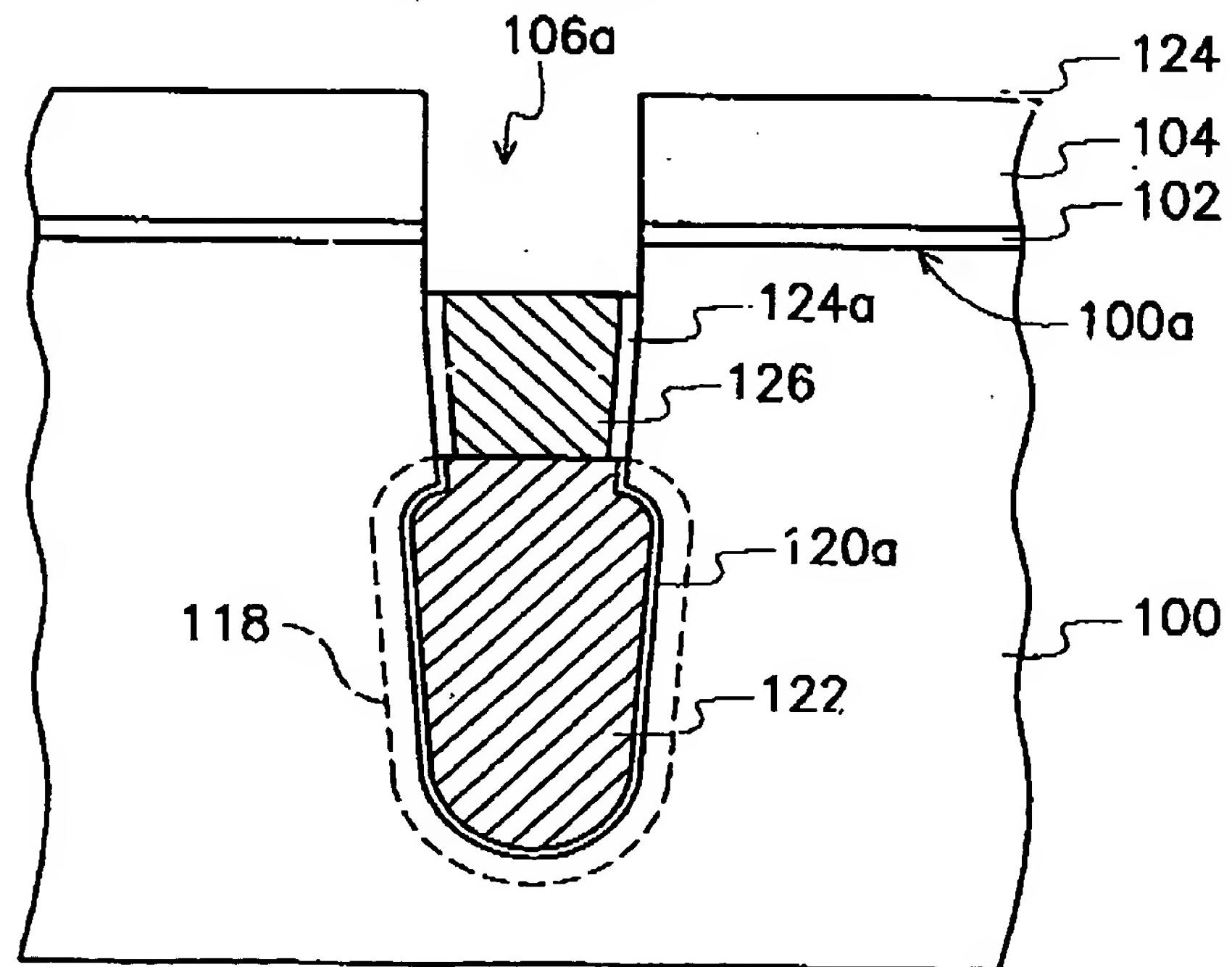
第 1G 圖



第 1H 圖

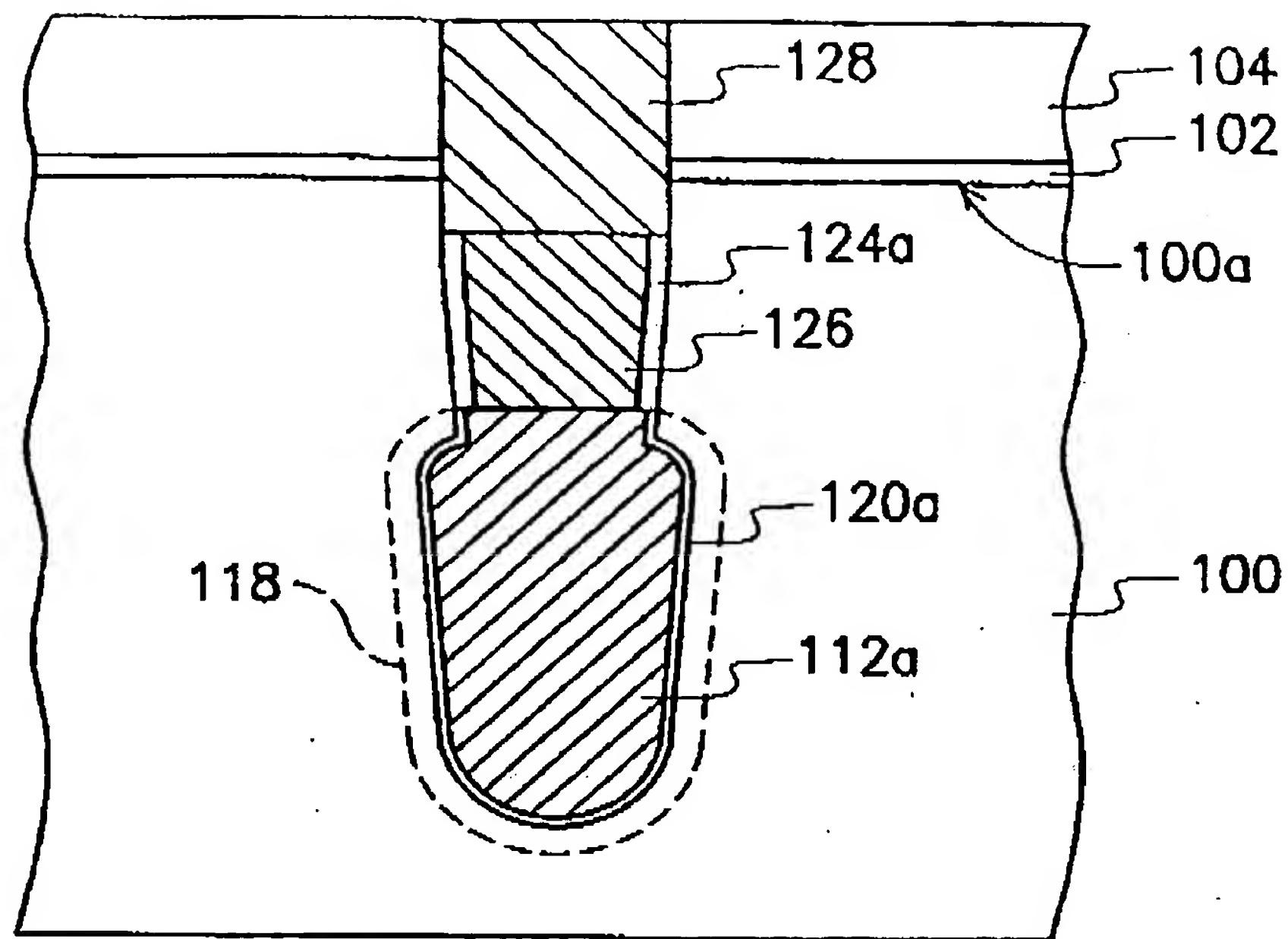


第 1I 圖

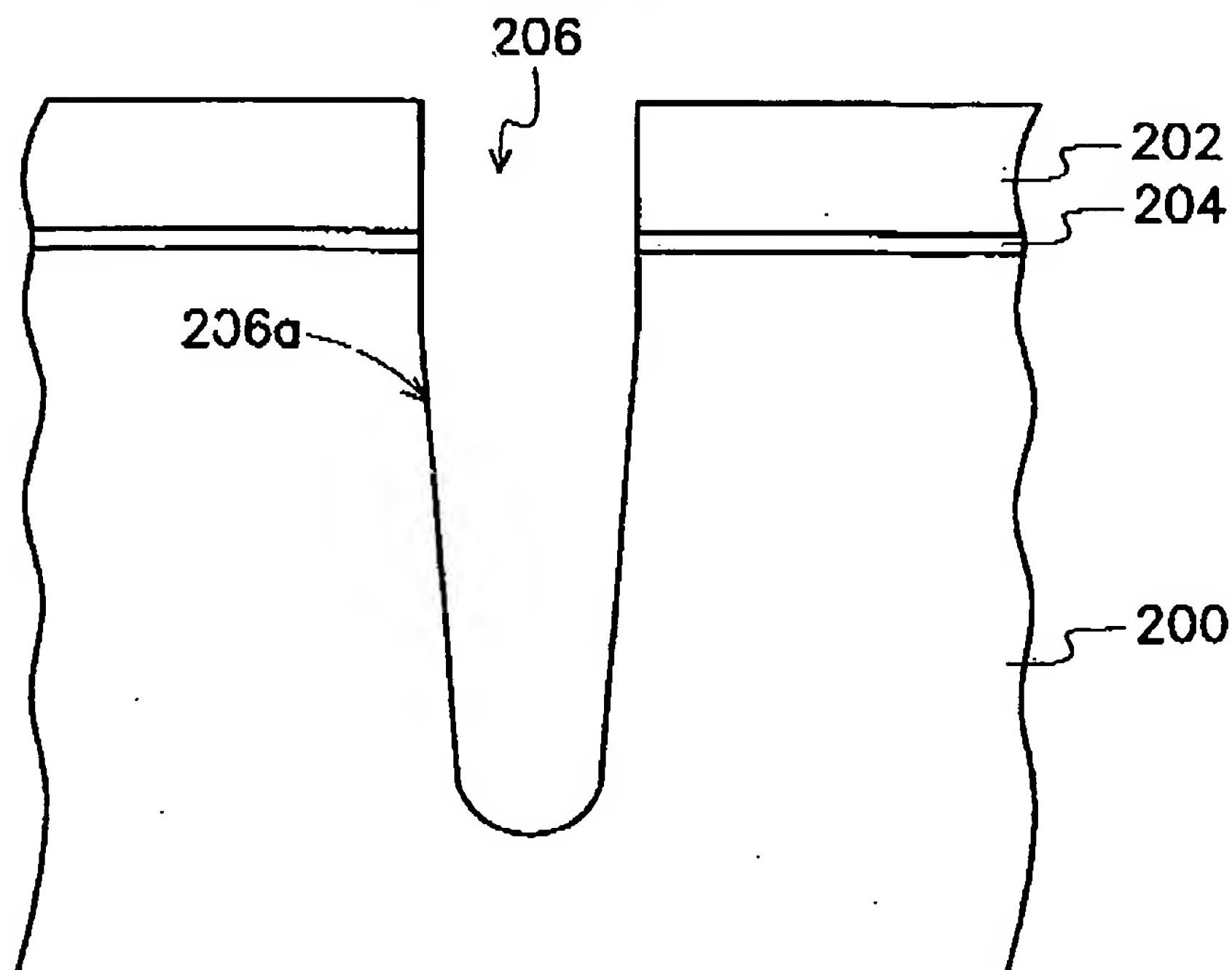


第 1J 圖

5216TW

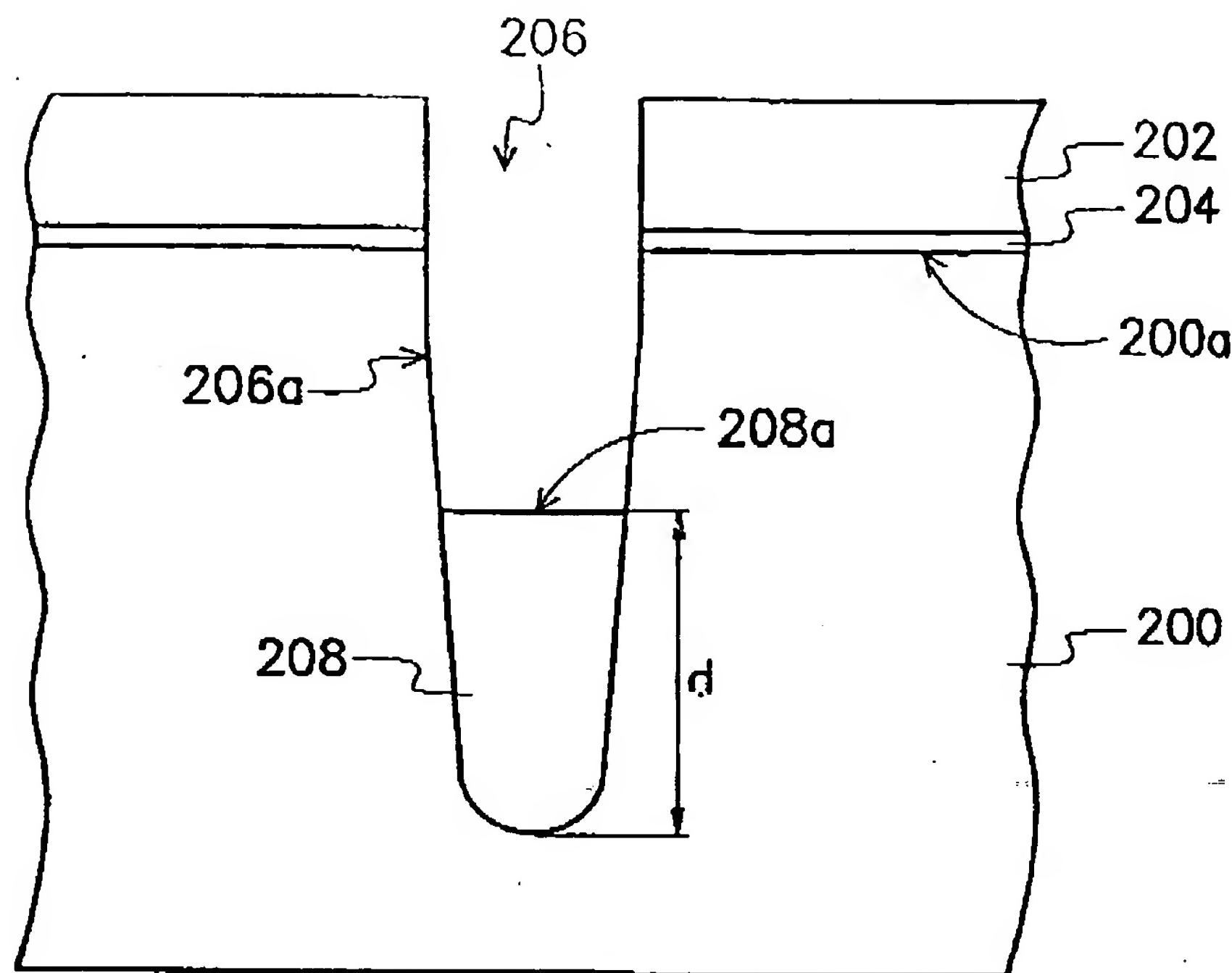


第 1K 圖

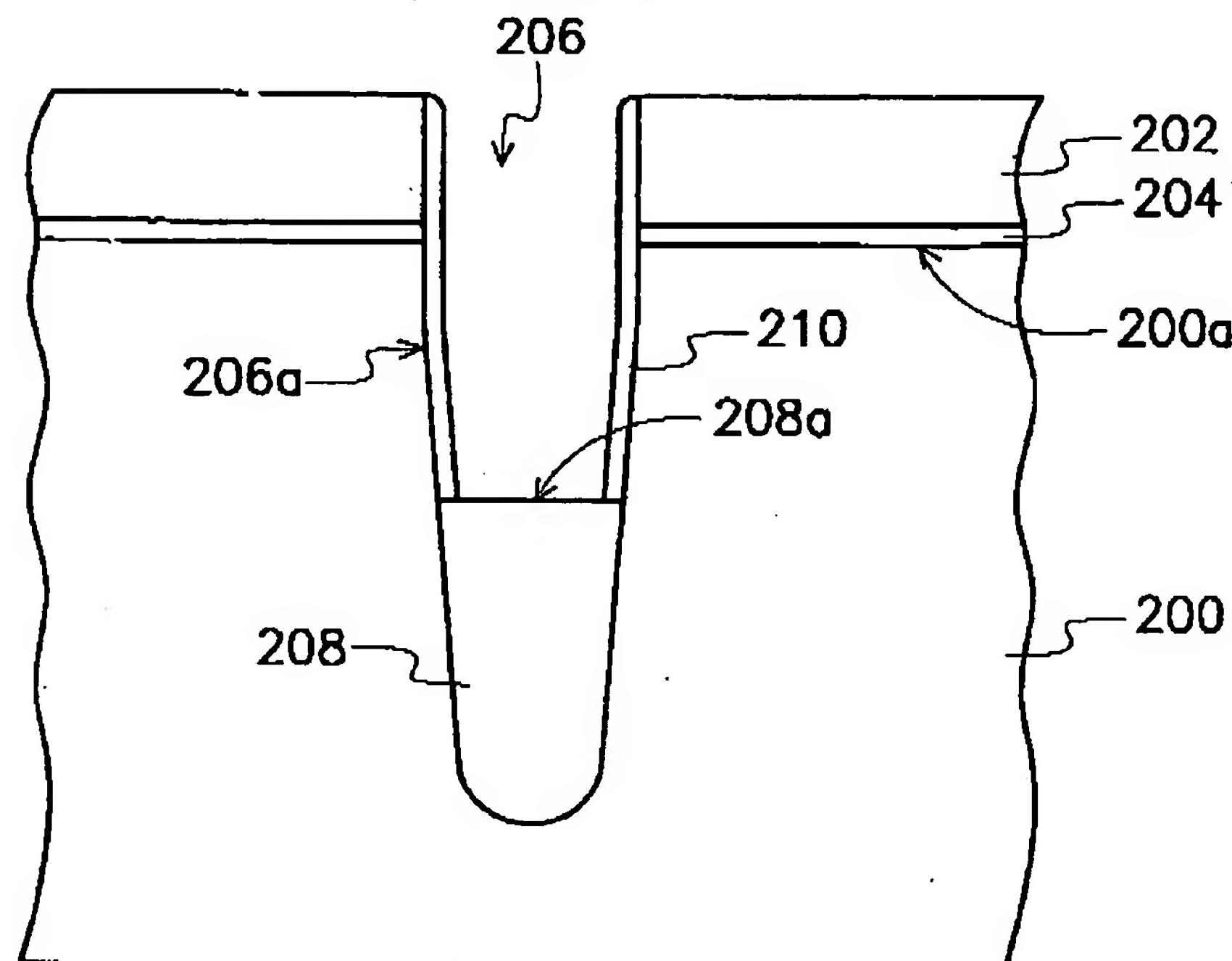


第 2A 圖

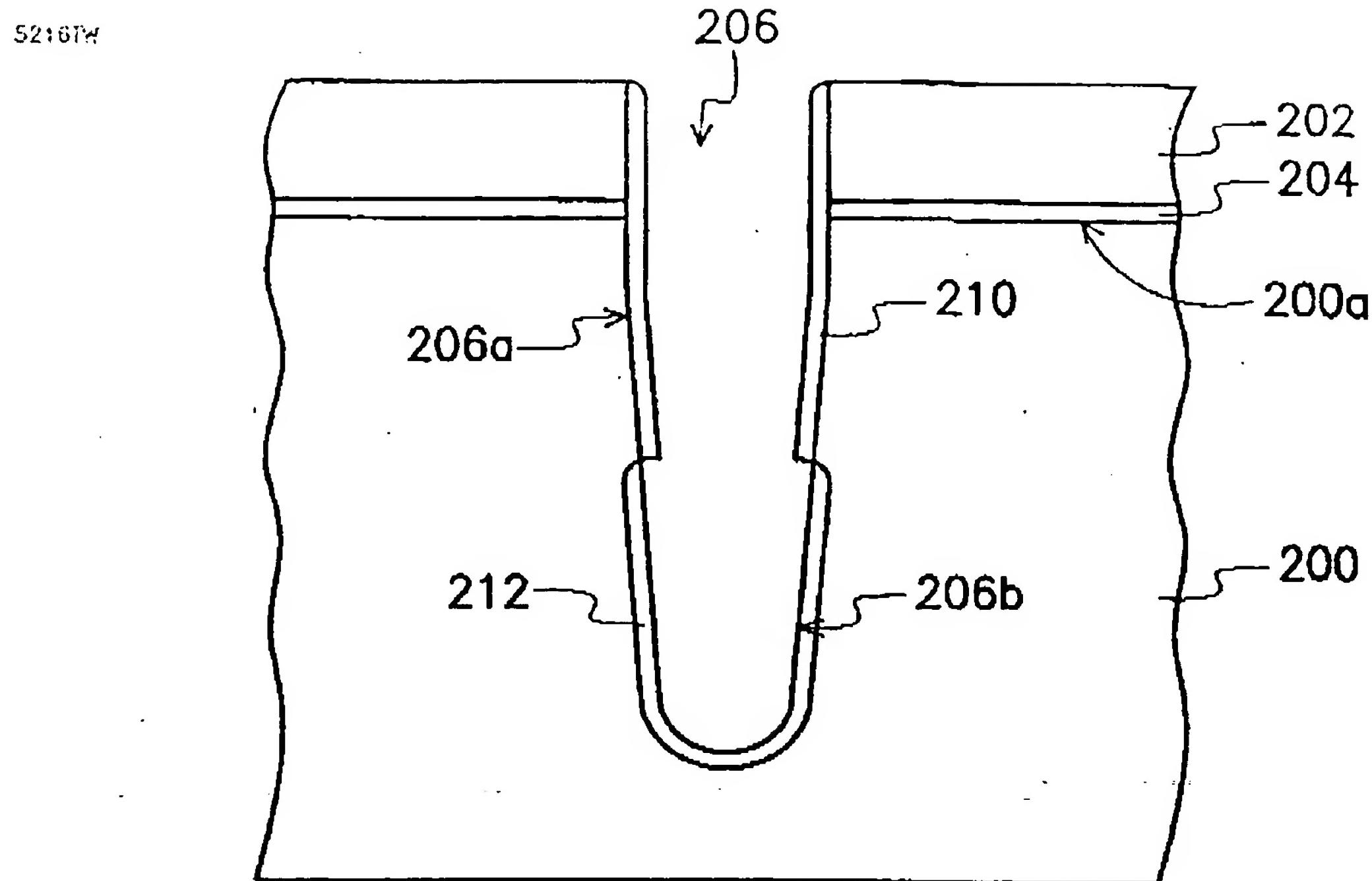
5216TW



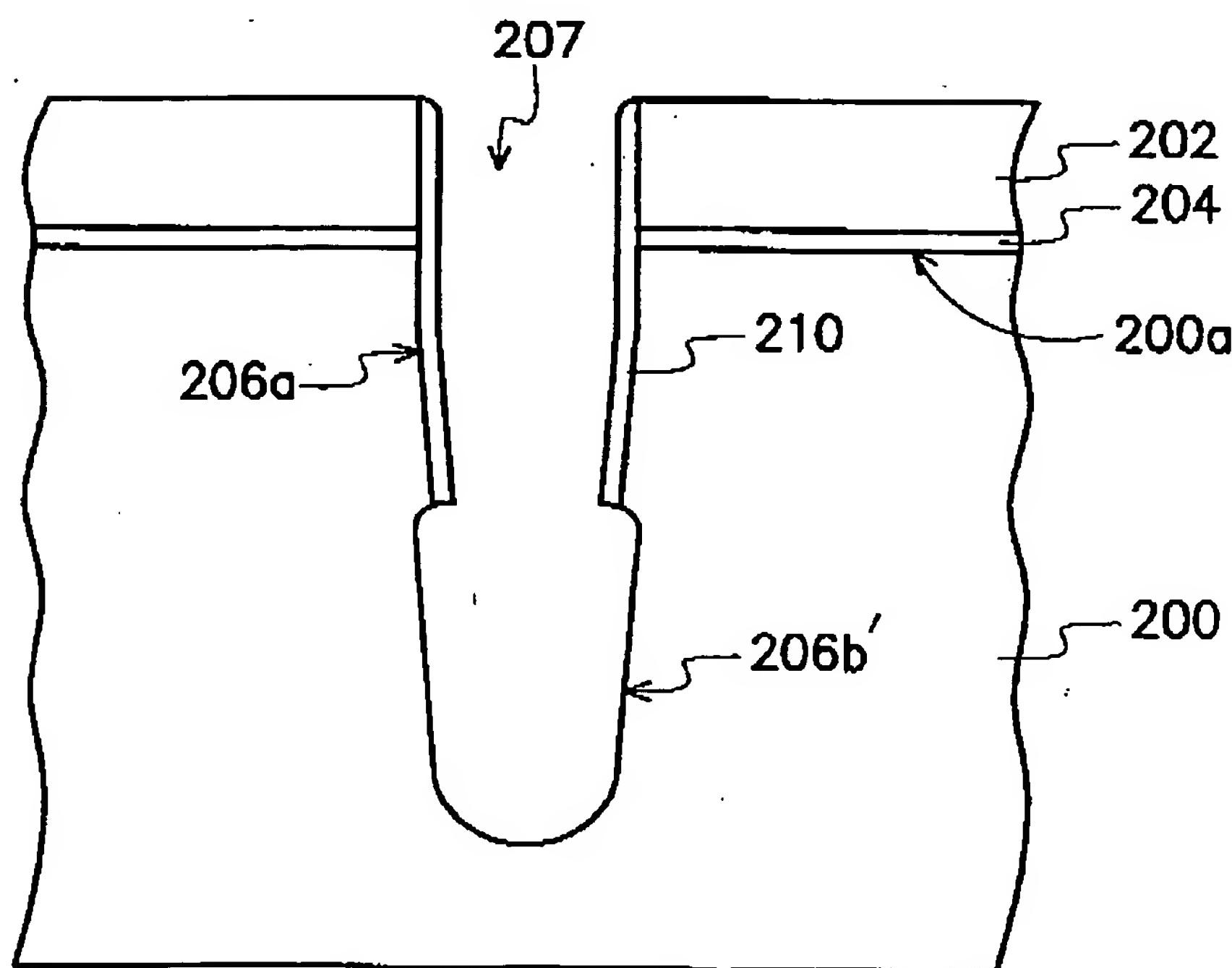
第 2B 圖



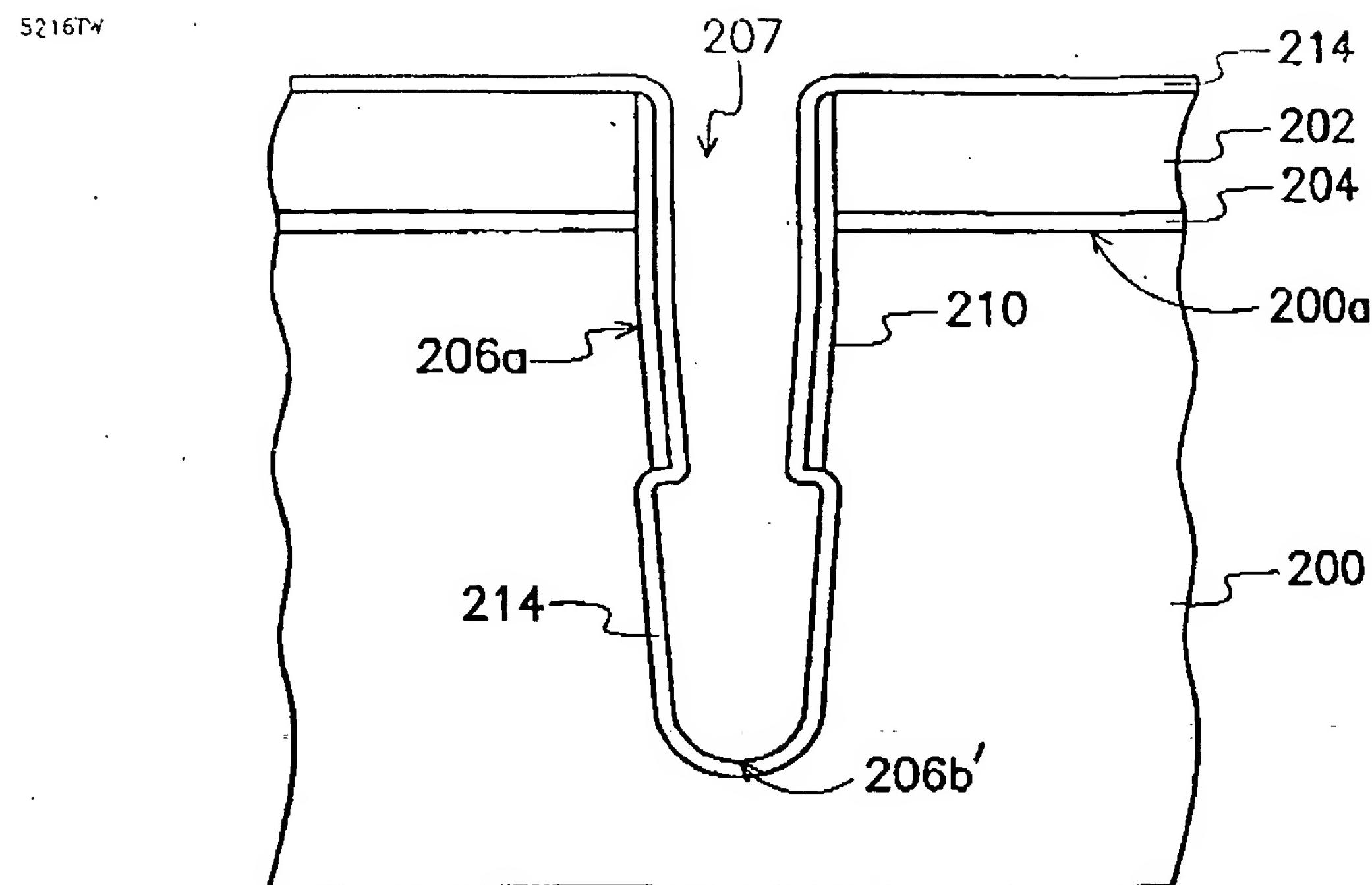
第 2C 圖



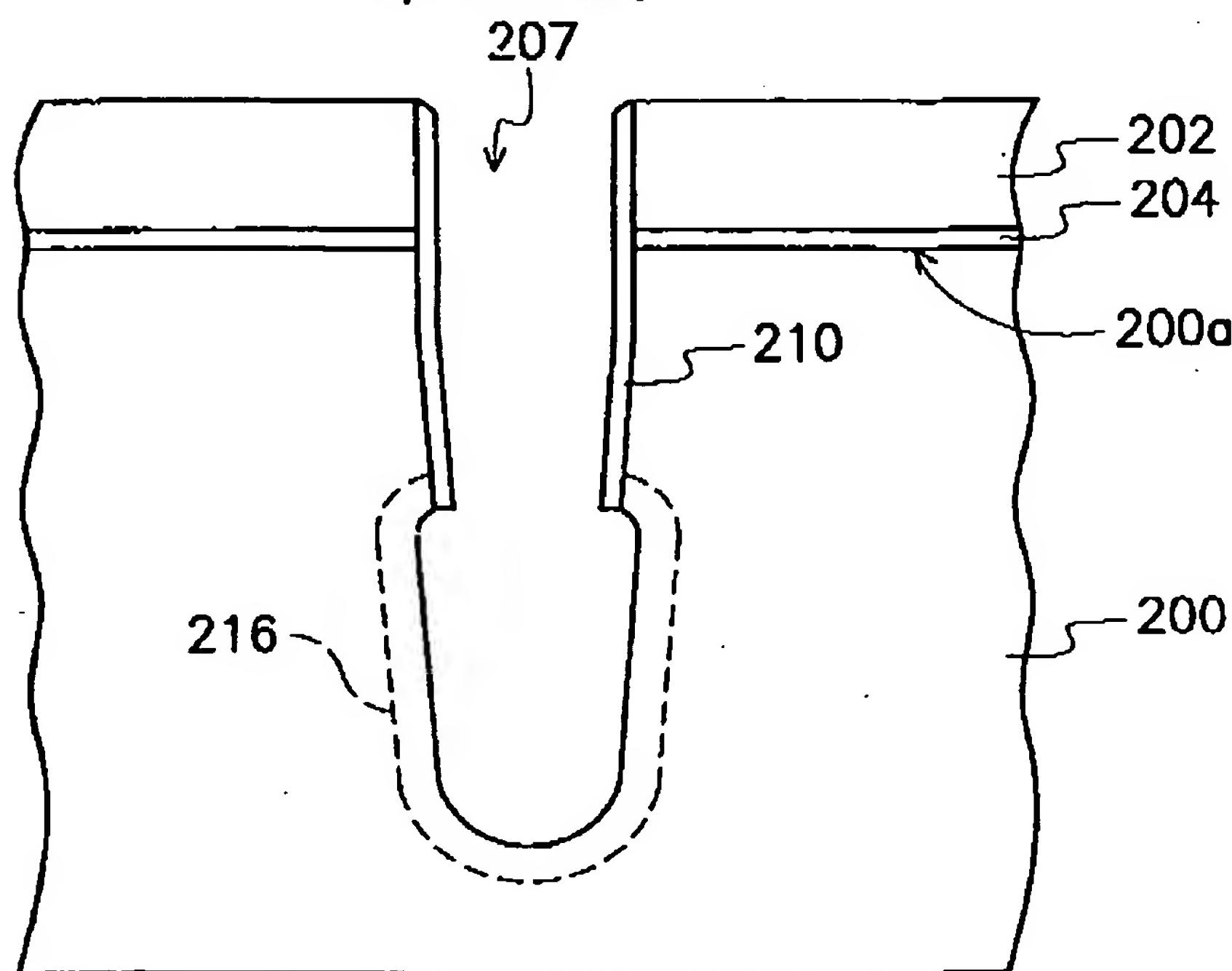
第 2D 圖



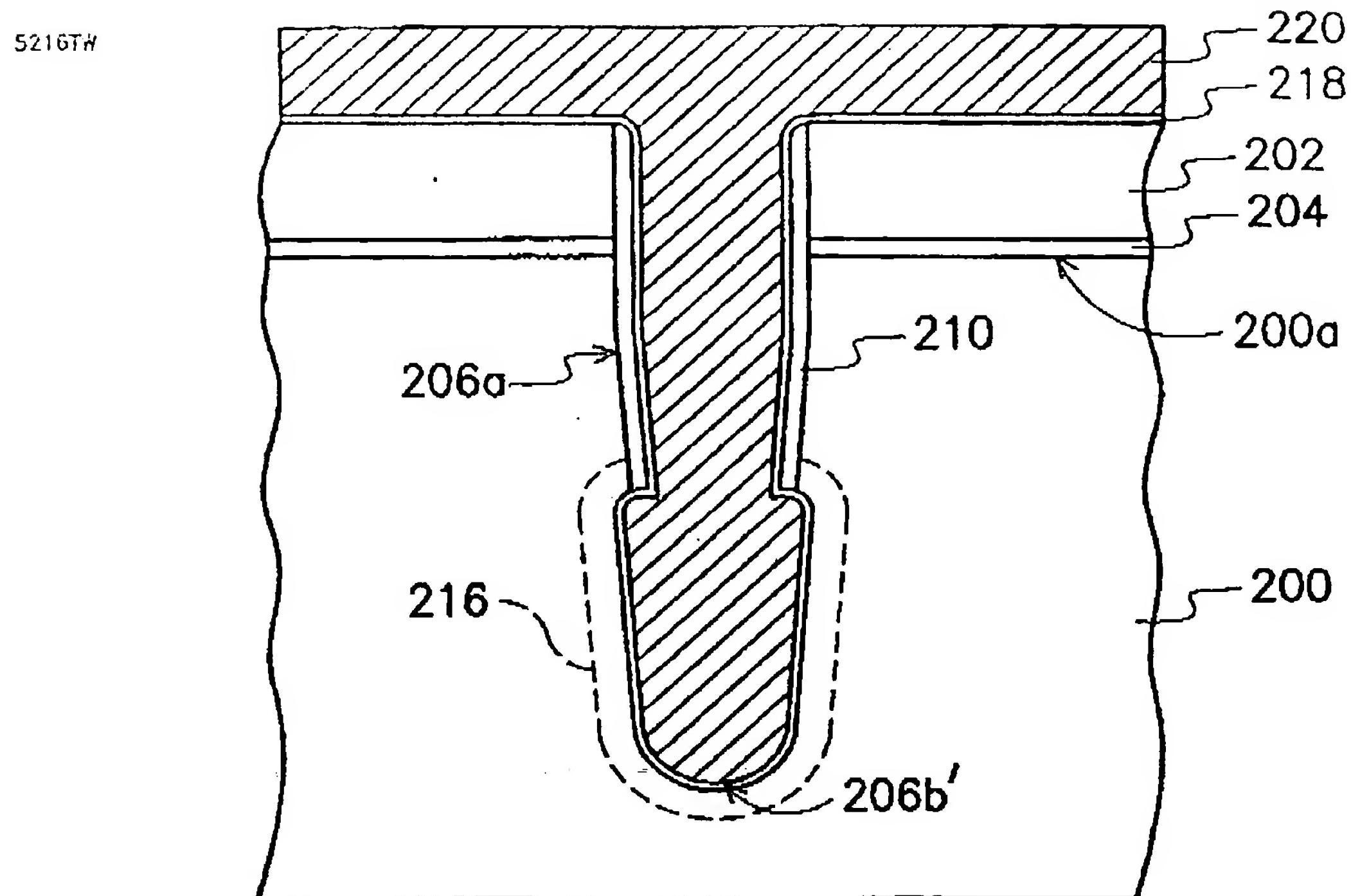
第 2E 圖



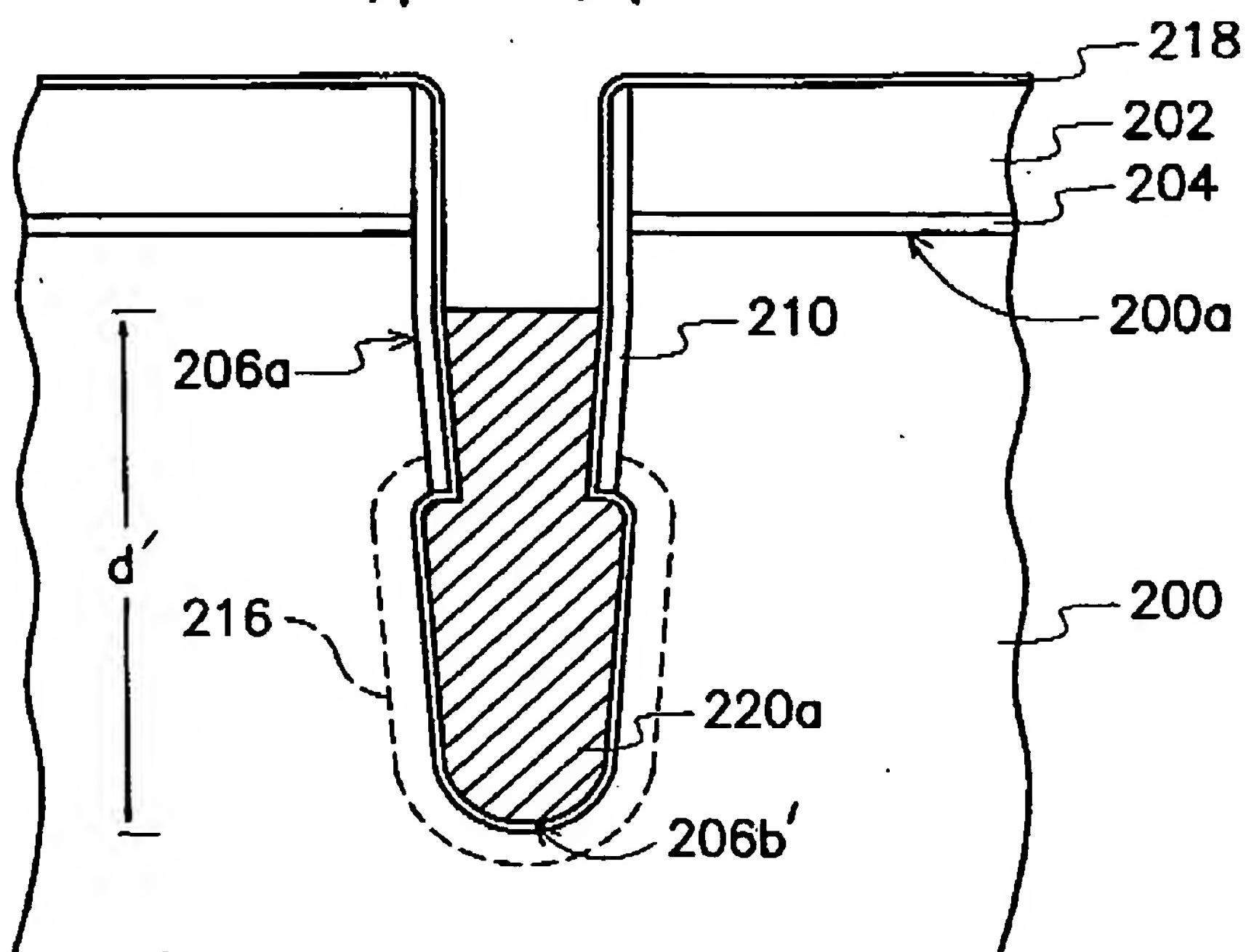
第 2F 圖



第 2G 圖

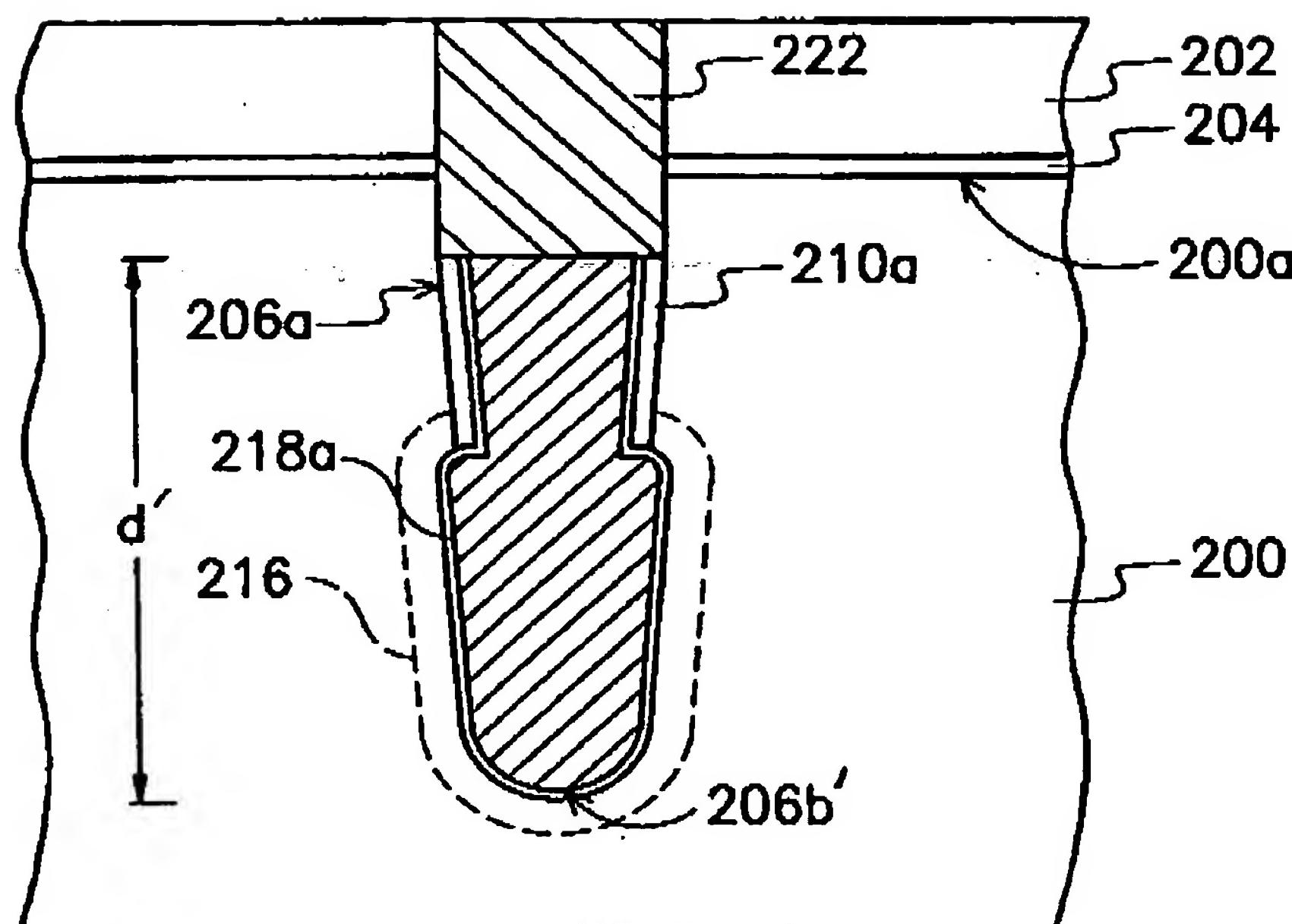


第 2H 圖



第 2I 圖

5216TW



第 2J 圖

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.